

23.06.2000

09/890181 00/00022

G-800/00028



ΟΡΓΑΝΙΣΜΟΣ ΒΙΟΜΗΧΑΝΙΚΗΣ ΙΔΙΟΚΤΗΣΙΑΣ (ΟΒΙ)

REC'D 12 JUL 2000

WIPO

PCT

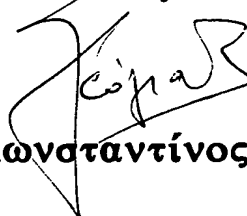
## ΠΙΣΤΟΠΟΙΗΤΙΚΟ

4

Βεβαιώνουμε ότι τα έγγραφα που συνοδεύουν το πιστοποιητικό αυτό είναι ακριβή και πιστά αντίγραφα της αίτησης για Δίπλωμα Ευρεσιτεχνίας με αριθμό 990100210 που κατατέθηκε στον Οργανισμό Βιομηχανικής Ιδιοκτησίας στις 23/06/1999 από την εταιρεία I.S.D. "ΛΥΣΕΙΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΣΥΣΤΗΜΑΤΩΝ ΑΝΩΝΥΜΟΣ ΕΤΑΙΡΕΙΑ" που εδρεύει στην οδό Κώστα Βάρναλη 22, 152 33 Χαλάνδρι.

Μαρούσι, 06/07/2000

Για τον Ο.Β.Ι.  
Ο Γενικός Διευθυντής

  
Κωνσταντίνος Κόγιας

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)





ΟΡΓΑΝΙΣΜΟΣ  
ΒΙΟΜΗΧΑΝΙΚΗΣ  
ΙΔΙΟΚΤΗΣΙΑΣ

# ΑΙΤΗΣΗ ΓΙΑ ΧΟΡΗΓΗΣΗ

ΔΙΠΛΩΜΑΤΟΣ ΕΥΡΕΣΙΤΕΧΝΙΑΣ (ΔΕ)

Ή

ΔΙΠΛΩΜΑΤΟΣ ΤΡΟΠΟΠΟΙΗΣΗΣ (ΔΤ)

Ή

ΠΙΣΤΟΠΟΙΗΤΙΚΟΥ ΥΠΟΔΕΙΓΜΑΤΟΣ ΧΡΗΣΙΜΟΤΗΤΑΣ (ΠΥΧ)

συμπληρώνεται  
από τον ΟΒΙ

Αριθμός αίτησης:	990100210	01
Ημερομηνία παραλαβής:	23.06.1999	
Ημερομηνία κατάθεσης:	23.06.1999	

Με την αίτηση αυτή ζητείται:

X	ΔΙΠΛΩΜΑ ΕΥΡΕΣΙΤΕΧΝΙΑΣ (Δ.Ε.)	02
	ΔΙΠΛΩΜΑ ΤΡΟΠΟΠΟΙΗΣΗΣ (Δ.Τ.) ΤΟΥ Δ.Ε. με αριθμό:	
	ΠΙΣΤΟΠΟΙΗΤΙΚΟ ΥΠΟΔΕΙΓΜΑΤΟΣ ΧΡΗΣΙΜΟΤΗΤΑΣ (Π.Υ.Χ.)	

Η αίτηση αυτή είναι τελεσίδικη αίτηση με αριθμό:	03
--	----

ΤΙΤΛΟΣ ΤΗΣ ΕΦΕΥΡΕΣΗΣ:	04
ΕΝΣΩΜΑΤΩΜΕΝΕΣ ΔΟΜΕΣ ΑΥΤΟΕΛΕΓΧΟΥ ΚΑΙ ΑΛΓΟΡΙΘΜΟΙ ΕΛΕΓΧΟΥ ΓΙΑ ΜΝΗΜΕΣ ΤΥΧΑΙΑΣ ΠΡΟΣΠΕΛΑΣΗΣ	

ΚΑΤΑΘΕΤΗΣ	05	
όνομα ή επωνυμία:	Ι.Σ.Δ. ΛΥΣΕΙΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΣΥΣΤΗΜΑΤΩΝ ΑΝΩΝΥΜΟΣ ΕΤΑΙΡΕΙΑ	
διεύθυνση ή έδρα:	ΚΩΣΤΑ ΒΑΡΝΑΛΗ 22 ΧΑΛΑΝΔΡΙ - 152 33 ΑΤΤΙΚΗ	
εθνικότητα:	ΕΛΛΗΝΙΚΗ	
τηλέφωνο:	68954115	τέλεξας: 4444
	ΕΠΙΠΛΕΟΝ ΚΑΤΑΘΕΤΕΣ ΣΕ ΠΡΟΣΘΕΤΟ ΦΥΛΛΟ ΧΑΡΤΙΟΥ	
	06	

αριθμός

## ΕΦΕΥΡΕΤΗΣ

07

Ο(ι) καταθέτης(ες) είναι ο(οι) μοναδικός(οι) εφευρέτης(ες).

X

Έντυπο ορισμού του(των) εφευρέτη(ών) επισυνάπτεται.

## ΑΞΙΩΣΕΙΣ

08

Αριθμός αξιώσεων:

6

## ΔΗΛΩΣΗ ΠΡΟΤΕΡΑΙΟΤΗΤΑΣ

(αριθμός - ημερομηνία - χώρα προέλευσης)

09

## ΠΛΗΡΕΞΟΥΣΙΟΣ

10

όνομα:

ΑΙΚΑΤΕΡΙΝΗ Γ. ΣΙΩΤΟΥ

διεύθυνση:

ΔΙΚΗΓΟΡΟΣ (Α.Μ. Δ.Ε.Α. 14155)

ΖΑΤΩΗ 23 - ΑΘΗΝΑ 105 83 - ΤΗΛ. 8220121

τηλέφωνο:

τέλεξ: 04300012 - 1Α' Δ.Ο.Υ. ΑΘΗΝΩΝ

τέλεφαξ:

## ΑΝΤΙΚΛΗΤΟΣ

11

όνομα:

ΑΙΚΑΤΕΡΙΝΗ Γ. ΣΙΩΤΟΥ

διεύθυνση:

ΔΙΚΗΓΟΡΟΣ (Α.Μ. Δ.Ε.Α. 14155)

ΖΑΤΩΗ 23 - ΑΘΗΝΑ 105 83 - ΤΗΛ. 8220121

τηλέφωνο:

τέλεξ: 04300012 - 1Α' Δ.Ο.Υ. ΑΘΗΝΩΝ

τέλεφαξ:

## ΔΙΕΘΝΗΣ ΕΚΘΕΣΗ

12

Η εφεύρεση παρουσιάστηκε σε επίσημα αναγνωρισμένη έκθεση, σύμφωνα με το ν. 5562/1932, ΦΕΚ 221Α/32.

Σχετική βεβαίωση επισυνάπτεται.

## ΥΠΟΓΡΑΦΗ(ΕΣ) ΤΟΥ(ΤΩΝ) ΚΑΤΑΘΕΤΗ(ΩΝ) ή ΤΟΥ(ΤΩΝ) ΠΛΗΡΕΞΟΥΣΙΟΥ(ΩΝ).

13

Τόπος:

ΑΙΚΑΤΕΡΙΝΗ Γ. ΣΙΩΤΟΥ

ΔΙΚΗΓΟΡΟΣ (Α.Μ. Δ.Ε.Α. 14155)

ΖΑΤΩΗ 23 - ΑΘΗΝΑ 105 83 - ΤΗΛ. 8220121

τέλεξ: 04300012 - 1Α' Δ.Ο.Υ. ΑΘΗΝΩΝ

Ημερομηνία:

ΠΑΡΑΚΑΛΟΥΜΕ ΝΑ ΔΑΚΤΥΛΟΓΡΑΦΗΣΕΤΕ ΤΟ ΟΝΟΜΑ ΚΑΤΩ ΑΠΟ ΤΗΝ ΥΠΟΓΡΑΦΗ.  
ΣΕ ΠΕΡΙΠΤΩΣΗ ΝΟΜΙΚΟΥ ΠΡΟΣΩΠΟΥ ΝΑ ΔΑΚΤΥΛΟΓΡΑΦΗΘΕΙ ΚΑΙ Η ΙΔΙΟΤΗΤΑ ΤΟΥ ΥΠΟΓΡΑΦΟΝΤΟΣ ΓΙΑ ΤΗΝ ΕΤΑΙΡΕΙΑ.



(Συμπληρώνεται στην περίπτωση που ο καταθέτης είναι νομικό πρόσωπο,  
ή ο καταθέτης δεν είναι και εφευρέτης, ή ο μόνος εφευρέτης)

**Αίτηση για:**

Δηλώνω(ουμε) ως εφευρέτη(ες) στην παραπάνω αίτηση για χορήγηση Ελληνικού τίτλου προστασίας τον(τους):

αριθμός

**O.A.-1/90-E**

ΟΡΓΑΝΙΣΜΟΣ  
ΒΙΟΜΗΧΑΝΙΚΗΣ  
ΙΔΙΟΚΤΗΣΙΑΣ

# ΟΡΙΣΜΟΣ ΤΟΥ ΕΦΕΥΡΕΤΗ<sup>23</sup>

(Συμπληρώνεται στην περίπτωση που ο καταθέτης είναι νομικό πρόσωπο,  
ή ο καταθέτης δεν είναι και εφευρέτης, ή ο μόνος εφευρέτης)

Αριθμός αίτησης:

990100210

Ημερομηνία κατάθεσης:

23.06.1999

Αίτηση για:

X	ΔΙΠΛΩΜΑ ΕΥΡΕΣΙΤΕΧΝΙΑΣ (Δ.Ε.)	25
	ΔΙΠΛΩΜΑ ΤΡΟΠΟΠΟΙΗΣΗΣ (Δ.Τ.) ΣΤΟ Δ.Ε. με αριθμό:	
	ΠΙΣΤΟΠΟΙΗΤΙΚΟ ΥΠΟΔΕΙΓΜΑΤΟΣ ΧΡΗΣΙΜΟΤΗΤΑΣ (Π.Υ.Χ.)	

Δηλώνω(ουμε) ως εφευρέτη(ες) στην παραπάνω αίτηση για χορήγηση Ελληνικού τίτλου προστασίας τον(τους):

ΕΦΕΥΡΕΤΗΣ (όνομα/διεύθυνση):

ΘΕΜΙΣΤΟΚΛΗΣ ΧΑΝΙΩΤΑΚΗΣ  
ΚΩΣΤΑ ΒΑΡΝΑΛΗ 22  
ΧΑΛΑΝΔΡΙ  
ΑΤΤΙΚΗ

Ο καταθέτης απέκτησε το δικαίωμα κατάθεσης Ελληνικού τίτλου προστασίας:

Λόγω σύμβασης μεταβίβασης δικαιωμάτων από: ..... / ..... / .....

Λόγω κληρονομικής διαδοχής.

Λόγω συμβατικής σχέσης εργοδότη - εργαζόμενου (υπηρεσιακή ή εξαρτημένη εφεύρεση).

Με βάση το καταστατικό της εταιρείας.

X

ΕΠΙΠΛΕΟΝ ΕΦΕΥΡΕΤΕΣ ΣΕ ΠΡΟΣΘΕΤΟ ΦΥΛΛΟ ΧΑΡΤΙΟΥ.

αριθμός

ΥΠΟΓΡΑΦΗ(ΕΣ) ΤΟΥ(ΤΩΝ) ΚΑΤΑΘΕΤΗ(ΩΝ) ή ΤΟΥ(ΤΩΝ) ΠΛΗΡΕΞΟΥΣΙΟΥ(ΩΝ)

Τόπος:

ΑΙΚΑΤΕΡΙΝΗ Γ. ΣΙΩΤΟΥ

Ημερομηνία:

ΔΙΚΗΓΟΡΟΣ Α.Π. Α.Ε.Α. (1999)  
ΕΛΕΥΘΕΡΙΟΥ ΚΑΡΑΪΣΚΑΚΗ 13 - ΠΛΑ. 922 101  
ΑΦ.Μ. 043.00012 - 14' ΔΟΥΤ. ΚΟΡΝΕΛ

## Ενσωματωμένες Δομές Αυτοελέγχου και Αλγόριθμοι Ελέγχου για Μνήμες Τυχαίας Προσπέλασης.

### Περίληψη

5

Παρουσιάζεται μία Ενσωματωμένη δομή Αυτοελέγχου (Built-In Self Test - BIST) για τον έλεγχο Μνημών Τυχαίας Προσπέλασης (RAMs). Αυτή η δομή έχει την ικανότητα να ελέγχει είτε ξεχωριστές είτε ενσωματωμένες RAMs. Επίσης δίδονται αλγόριθμοι ελέγχου για την αξιοποίηση αυτής της δομής προκειμένου ν' ανιχνεύονται όλα τα Σφάλματα Γειτνίασης Μοτίβου Δεδομένων (Neighborhood Pattern Sensitive Faults - NPSFs) καθώς και όλα τα σφάλματα μόνιμης τιμής και μετάβασης στη διάταξη μνήμης, και επίσης όλα τα απλά σφάλματα μόνιμης τιμής στο κύκλωμα αποκωδικοποίησης-διεύθυνσης ή ανάγνωσης/εγγραφής. Το κύκλωμα BIST περιλαμβάνει έναν Ελεγκτή BIST, μία μονάδα Παράγωγής Δεδομένων Ελέγχου (TPG), έναν καταχωρητή (RWR) για την ανάγνωση και την εγγραφή των δεδομένων του ελέγχου από/προς τη διάταξη μνήμης και ένα κύκλωμα ελεγκτή εισόδου/εξόδου. Ο Ελεγκτής BIST ελέγχει τη RAM κατά τη διάρκεια διενέργειας του ελέγχου ενώ η TPG παράγει τα κατάλληλα δεδομένα ελέγχου για να ελέγξει τη RAM. Τα δεδομένα ελέγχου χρησιμοποιούνται για την πλήρωση του καταχωρητή RWR. Δεδομένου ότι, στην προτεινόμενη δομή, οι κυψέλες του RWR συνδέονται κατευθείαν με τους ενισχυτές σήματος (sense amplifiers) και τους οδηγούς εγγραφής (write buffers) του κυκλώματος ανάγνωσης/εγγραφής, τα δεδομένα του ελέγχου μπορούν να εγγραφούν στις κυψέλες μίας γραμμής παράλληλα ενώ πολλαπλές γραμμές μπορούν να εγγραφούν με τα ίδια δεδομένα ελέγχου σε διαδοχικές συνόδους εγγραφής. Επιπλέον, δίδονται διάφοροι μέθοδοι για την εκτίμηση των δεδομένων που ανακτώνται στο RWR από τη διάταξη μνήμης, προκειμένου να αναγνωριστούν και να εντοπιστούν τα ενδεχόμενα σφάλματα. Τέλος, ο ελεγκτής εισόδου/εξόδου έχει την ικανότητα να αποθηκεύει πληροφορίες



ελέγχου που αφορούν τη θέση μίας εσφαλμένης λειτουργίας στη RAM και να εξάγει αυτές τις πληροφορίες στο εξωτερικό περιβάλλον διαμέσου ενός ολοκληρωμένου κυκλώματος θύρας I/O ή σε συνεργασία μ' έναν ελεγκτή TAP.



## Ενσωματωμένες Δομές Αυτοελέγχου και Αλγόριθμοι Ελέγχου για Μνήμες Τυχαίας Προσπέλασης.

### ΠΕΔΙΟ ΤΗΣ ΕΦΕΥΡΕΣΗΣ

- 5 Η εφεύρεση αυτή αναφέρεται στο πεδίο των συμπλεγών διατάξεων για την αποθήκευση δεδομένων. Ειδικότερα αναφέρεται στον έλεγχο της ορθής λειτουργίας (testing), στο εξής έλεγχος, των διατάξεων μνημών ημιαγωγών και ιδιαίτερα στον έλεγχο των RAMs (Random Access Memories).

### 10 ΙΣΤΟΡΙΚΟ ΤΗΣ ΕΦΕΥΡΕΣΗΣ

#### I. Εισαγωγή

- Με μία συνεχόμενη αύξηση στη χωρητικότητα των μνημών, οι RAMs έχουν τύχει ευρείας χρήσης στα σύγχρονα ολοκληρωμένα κυκλώματα (ICs). Εφαρμογές όπως φορητός εξοπλισμός, ηλεκτρονικοί υπολογιστές, εκτυπωτές κλπ οδηγούν σε
- 15 μία αυξανόμενη ζήτηση για RAMs, είτε ως ξεχωριστό ολοκληρωμένο κύκλωμα είτε ενσωματωμένες μαζί με τα κυκλώματα λογικής των ολοκληρωμένων κυκλωμάτων (IC).

- Η ευρεία χρήση των RAMs τις καθιστά έναν σημαντικό στόχο ελέγχου. Είναι ήδη διαθέσιμος ένας μεγάλος αριθμός μοντέλων σφαλμάτων μαζί με αλγόριθμους
- 20 ελέγχου. Το μεγαλύτερο μειονέκτημα του ελέγχου των μνημών είναι ο χρόνος που απαιτείται για να ολοκληρωθεί ένας κατάλληλος έλεγχος. Ο πραγματικός χρόνος ελέγχου μπορεί να είναι μέχρι και 300 δευτερόλεπτα, οπότε συνεισφέρει κατά ένα σημαντικό τμήμα στο συνολικό κόστος.

- Η μείωση του χρόνου πραγματοποίησης του ελέγχου είναι πολύ σημαντική.
- 25 Αυτή η μείωση μπορεί να επιτευχθεί με τη χρήση επιπλέον κυκλωμάτων (hardware) ελέγχου. Το κόστος αυτών των επιπλέον κυκλωμάτων πρέπει να συγκριθεί με τα ωφέλη της μείωσης του χρόνου ελέγχου. Με την αύξηση των μεγεθών μνήμης το σχετικό κόστος αυτών των επιπλέον κυκλωμάτων μειώνεται ενώ ο έλεγχος



καθίσταται πίο περίπλοκος. Έτσι μία τέτοια λύση γίνεται όλο και πίο ελκυστική. Σε περίπτωση ενσωματωμένων μνημών η μειωμένη δυνατότητα πρόσβασης έχει καταστήσει στην πράξη αναγκαία τη χρήση πρόσθετων κυκλωμάτων ελέγχου και όχι απλώς μία ελκυστική προσέγγιση.

- 5        Στα σύγχρονα περιβάλλοντα ελέγχου, οι αλγόριθμοι ελέγχου με χρονική πολυπλοκότητα ίση με  $O(n^{3/2})$ ,  $O(n^2)$  ή μεγαλύτερη είναι απαράδεκτοι (το  $n$  αναφέρεται στον αριθμό των στοιχείων μνήμης). Οι αλγόριθμοι March έχουν τύχει ευρείας χρήσης δεδομένου ότι προσφέρουν αποδεκτή κάλυψη σφάλματος με μικρή πολυπλοκότητα  $O(n)$ . Από την άλλη πλευρά, οι αλγόριθμοι March δεν καλύπτουν
- 10    τα σφάλματα του μοντέλου σφαλμάτων μοτίβου δεδομένων (Pattern Sensitive Faults - PSF), το οποίο προσφέρει μία πίο ρεαλιστική προσέγγιση στη διαμόρφωση ενός μοντέλου των πραγματικών φυσικών ελαττωμάτων. Το κύριο εμπόδιο για τη χρήση του μοντέλου σφαλμάτων μοτίβου δεδομένων είναι ο μεγάλος αριθμός των ενδεχόμενων σφαλμάτων που αυτό καλύπτει. Στην πράξη χρησιμοποιείται το
- 15    μοντέλο σφαλμάτων γειτνίασης μοτίβου δεδομένων (Neighborhood Pattern Sensitive Faults - NPSF), δεδομένου ότι επίσης προσφέρει υψηλή κάλυψη σφαλμάτων με μικρή πολυπλοκότητα  $O(n)$ .

- Η ρύθμιση της επιπλέον λογικής ελέγχου μπορεί να επιτευχθεί με τη χρήση επιπλέον ακροδεκτών. Δεδομένου ότι αυτή η πρακτική είναι συνήθως μη αποδεκτή,
- 20    πρέπει να χρησιμοποιηθούν άλλες προσεγγίσεις. Μία απλή λύση είναι η πολυπλεξία αυτών των ακροδεκτών με ακροδέκτες που δεν χρησιμοποιούνται κατά τη φάση ελέγχου. Μία άλλη ελκυστική προσέγγιση είναι η χρήση βοηθητικών μέσων που ήδη χρησιμοποιούνται σε ICs όπως το πρότυπο IEEE 1149.1.

## 25    **II. Το μοντέλο σφαλμάτων γειτνίασης μοτίβου δεδομένων**

      Μία σημαντική κατηγορία σφαλμάτων των RAMs είναι τα σφάλματα γειτνίασης μοτίβου δεδομένων. Σύμφωνα με αυτό το μοντέλο σφαλμάτων, το περιεχόμενο μίας κυψέλης ή η ικανότητα να εφαρμόζεται μία επιθυμητή τιμή στην

κυψέλη αυτή επηρεάζεται από τις τιμές ή τις μεταβάσεις στις τιμές άλλων κυψελών στη μνήμη. Στην πράξη οι κυψέλες, που ονομάζονται *διαγεγραμμένη γειτονική περιοχή*, και οι οποίες επηρεάζουν τη λειτουργία μίας κυψέλης, που ονομάζεται *βασική κυψέλη*, είναι εκείνες που βρίσκονται κοντά στη βασική κυψέλη. Ο συνδυασμός αυτής της βασικής κυψέλης και της διαγεγραμμένης γειτονικής περιοχής ονομάζεται *γειτονική περιοχή*. Τα αντίστοιχα σφάλματα καλούνται *Σφάλματα Γειτνίασης Μοτίβου Δεδομένων (NSPF)*.

Έχουν προταθεί διάφοροι τύποι γειτονικών περιοχών. Ένας κοινός τύπος είναι η περιοχή Τύπου-1 που αποτελείται από τη βασική κυψέλη και τις τέσσερις διπλανές κυψέλες, ιδετε ΣΧ. 1. Μία άλλη περιοχή είναι η περιοχή Τύπου-2, που αποτελείται από κυψέλες μέσα στις  $m_1$  στήλες προς δύση,  $m_2$  σειρές προς βορρά,  $m_3$  στήλες προς ανατολή και  $m_4$  σειρές προς νότο μίας βασικής κυψέλης. Συνήθως,  $m_1=m_2=m_3=m_4=1$  και η περιοχή περιέχει 9 κυψέλες, ιδετε ΣΧ. 2. Άλλες προτεινόμενες περιοχές είναι η γραμμή ή η στήλη της βασικής κυψέλης.

Τρεις τύποι NPSFs μπορούν να διακριθούν:

*Ενεργά (Active) NPSF (ANPSF)* ή *Δυναμικά NPSF*, όπου η βασική κυψέλη μεταβάλλει το περιεχόμενό της λόγω μίας μεταβολής στο μοτίβο των δεδομένων της διαγεγραμμένης γειτονικής περιοχής.

*Παθητικά (Passive) NPSF (PNPSF)*, όπου τα περιεχόμενα μίας κυψέλης δεν μπορούν να μεταβληθούν λόγω κάποιου συγκεκριμένου μοτίβου δεδομένων της γειτονικής περιοχής.

*Στατικά (Static) NPSF (SNPSF)*, όπου τα περιεχόμενα μίας βασικής κυψέλης ωθούνται σε μία συγκεκριμένη κατάσταση λόγω κάποιου συγκεκριμένου μοτίβου των δεδομένων της διαγεγραμμένης γειτονικής περιοχής.

Ακολουθώς θα υπολογιστεί ο αριθμός των ακολουθιών δεδομένων ελέγχου που απαιτείται για τον έλεγχο των NPSFs μίας περιοχής με  $k$  στοιχεία. Αρχικά εξετάζουμε την περίπτωση των ANPSFs. Η βασική κυψέλη μπορεί να έχει δύο από τις ακόλουθες τιμές 0 ή 1. Οποιαδήποτε από τις εναπομένουσες  $k-1$  κυψέλες μπορεί

να έχει μία  $0 \rightarrow 1$  ή  $1 \rightarrow 0$  μετάβαση. Έτσι, μέχρι τώρα έχουμε  $2(k-1)2$  περιπτώσεις και για την καθεμία από τις περιπτώσεις αυτές οι εναπομένουσες  $(k-2)$  κυψέλες μπορεί να έχουν  $2^{k-2}$  συνδυασμούς, έτσι συνολικά υπάρχουν  $2(k-1)2^{k-2} = (k-1)2^k$  διαφορετικά ζεύγη μοτίβων δεδομένων ελέγχου ή αλλιώς διανυσμάτων ελέγχου.

- 5 Για τα PNPSF η βασική κυψέλη μπορεί να έχει είτε μία  $0 \rightarrow 1$  είτε μία  $1 \rightarrow 0$  μετάβαση. Για κάθε μία από αυτές τις δύο περιπτώσεις οι εναπομένουσες  $(k-1)$  κυψέλες μπορούν να λάβουν  $2^{k-1}$  συνδυασμούς. Έτσι υπάρχουν  $2^k$  διαφορετικά ζεύγη διανυσμάτων ελέγχου. Το σύνολο των ζευγών ελέγχου για τις περιπτώσεις ANPSFs και PNPSFs είναι  $(k-1)2^k + 2^k = k2^k$ . Επιπρόσθετα, υπάρχουν  $2^k$
- 10 διαφορετικά διανύσματα ελέγχου για την περίπτωση των SPNSFs.

- Ας δούμε τώρα μερικές μεθοδολογίες για τη μείωση του χρόνου εφαρμογής ελέγχου. Ας υποθέσουμε ότι πρέπει να εφαρμόσουμε τα ακόλουθα ζεύγη ελέγχου (00000, 00001) και (10000, 00000). Μία πιθανή ακολουθία είναι η (00000, 00001, 10000, 00000). Μία άλλη πιθανή ακολουθία είναι η (10000, 00000, 00001). Σαφώς
- 15 η δεύτερη ακολουθία απαιτεί ένα μειωμένο αριθμό διανυσμάτων ελέγχου και έτσι οδηγεί σε μείωση του χρόνου εφαρμογής του ελέγχου. Αυτό οφείλεται στο γεγονός ότι το τελευταίο διάνυσμα του πρώτου ζεύγους είναι ίδιο με το πρώτο διάνυσμα του δεύτερου ζεύγους. Κατάλληλες ακολουθίες διανυσμάτων ελέγχου για τον έλεγχο μνήμης έχουν προταθεί στην ευρύτερη βιβλιογραφία.

- 20 Μείωση του χρόνου ελέγχου μπορεί επίσης να επιτευχθεί εάν εφαρμόσουμε ζεύγη διανυσμάτων ελέγχου που ελέγχουν περισσότερα από ένα σφάλματα ταυτόχρονα. Σημειώστε εδώ ότι ένα ζεύγος που ελέγχει ένα PNPSF σε μία γειτονική περιοχή A επίσης ελέγχει ένα ANPSF σε μία γειτονική περιοχή B εάν η βασική κυψέλη της A ανήκει στη διαγεγραμμένη γειτονική περιοχή της B. Έτσι
- 25 μπορούμε να επιταχύνουμε τον έλεγχο εάν μπορέσουμε να αξιοποιήσουμε την παραπάνω αναφερόμενη παρατήρηση. Μία μέθοδος που χρησιμοποιείται για την επίτευξη αυτού είναι η μέθοδος της διάταξης σε κελιά (tiling method). Σύμφωνα με τη μέθοδο αυτή η μνήμη καλύπτεται πλήρως από μία ομάδα διαγεγραμμένων γειτονικών περιοχών που δεν αλληλο-επικαλύπτονται. Στο ΣΧ. 1 φαίνεται η

διάταξη σε κελιά Τύπου-1 ενώ στο ΣΧ. 2 δίδεται η διάταξη σε κελιά Τύπου-2 για  $m_1=m_2=m_3=m_4=1$ . Ως ομάδα  $j$  περιοχών ορίζεται αυτή η ομάδα που περιλαμβάνει όλες τις περιοχές με βασική κυψέλη την κυψέλη  $j$ . Στα ΣΧ. 1 και ΣΧ. 2 παρουσιάζονται η ομάδα 2, και η ομάδα 4, αντίστοιχα.

- 5 Όσον αφορά τη μέθοδο διάταξης σε πλακίδια του Τύπου-1, έχει αποδειχθεί ότι με το να ελεγχθούν όλα τα ANPSFs, PNPSFs και SNPSFs σφάλματα για όλες τις γειτονικές περιοχές με βασική κυψέλη την κυψέλη 0 ή 1 ή 2 ή 3 ή 4, ελέγχονται όλα τα ANPSFs, PNPSFs και SNPSFs (APSNPSFs) σφάλματα της μνήμης. Για παράδειγμα εάν ελέγξουμε όλα τα APSNPSFs για όλες τις περιοχές με βασική
- 10 κυψέλη 0, τότε ελέγχονται επίσης όλα τα APSNPSFs για τις υπόλοιπες περιοχές. Περαιτέρω με το να ελεγχθούν τα NPSFs, ελέγχονται επίσης όλα τα σφάλματα μόνιμης τιμής και μετάβασης, ενώ με το εισαχθούν κατάλληλες καθυστερήσεις μεταξύ των λειτουργιών ανάγνωσης, μπορούν να καλυφθούν τα σφάλματα χρόνου διατήρησης τιμής (retention time faults).

- 15 Προκειμένου να εφαρμοστεί μία συγκεκριμένη ακολουθία μοτίβων δεδομένων ελέγχου σε κάθε περιοχή της ομάδας  $j$ , πρέπει να εφαρμοστεί μία κατάλληλη ακολουθία μοτίβων δεδομένων ελέγχου σε όλη τη μνήμη. Αυτή η ακολουθία εφαρμόζεται ίδια μοτίβα δεδομένων ελέγχου σε κάθε γειτονική περιοχή. Για κάθε μοτίβο δεδομένων της ακολουθία όλες οι αντίστοιχες κυψέλες μίας
- 20 ομάδας έχουν την ίδια τιμή.

- Στην εφεύρεση αυτή προτείνουμε τη χρήση ενός καταχωρητή ανάγνωσης/εγγραφής RWR έτσι ώστε κάθε ζεύγος από έναν ενισχυτή σήματος κι έναν οδηγό εγγραφής να συνδέεται σε μία και μοναδική κυψέλη του RWR. Εάν επιλεγεί μία κατάλληλη γραμμή της μνήμης τα περιεχόμενα του RWR μπορούν να
- 25 εγγραφούν σε κυψέλες αυτής της γραμμής (ή τα περιεχόμενα των κυψελών αυτής της γραμμής μπορούν να εγγραφούν στον καταχωρητή RWR). Έτσι οποιοδήποτε πρόκειται να εγγραφεί το ίδιο διάνυσμα δεδομένων σε μία αλληλουχία γραμμών η διαδικασία επιταχύνεται σημαντικά. Το ίδιο ισχύει εάν ένα νέο διάνυσμα δεδομένων που πρόκειται να εγγραφεί σε μία άλλη αλληλουχία από γραμμές

αποτελεί μία ολισθημένη έκδοση της παλαιάς ακολουθίας. Προτείνεται δε προαιρετική πρόσθετη κυκλωμάτωση για την ανίχνευση ενδεχόμενων λαθών στα δεδομένα που ανακτώνται στον RWR λόγω σφαλμάτων στη μνήμη. Περαιτέρω προτείνονται αλγόριθμοι ελέγχου για την αξιοποίηση της παρουσιαζόμενης δομής

5 BIST προκειμένου ν' ανιχνευθούν και να εντοπιστούν όλα τα APSNPSF σφάλματα, τα σφάλματα μόνιμης τιμής και μετάβασης στη διάταξη μνήμης καθώς και τα απλά σφάλματα μόνιμης τιμής στο κύκλωμα αποκωδικοποίησης διεύθυνσης (σφάλματα διεύθυνσης-AF) ή στο κύκλωμα ανάγνωσης/εγγραφής.

### 10 **III. Προγενέστερες Τεχνικές**

Η αυξημένη πυκνότητα των RAMs ανήγαγε τη μείωση του χρόνου ελέγχου σε μία κυρίαρχη σχεδιαστική παράμετρο. Η αναλογία του κόστους ελέγχου προς το κόστος του ολοκληρωμένου προσδοκάται ότι θα είναι μεγαλύτερη από 85% για την παραγωγή 1Gbit DRAMs. Περαιτέρω, η μεγάλη ζήτηση για εκτενή έλεγχο

15 βελτιωμένων μοντέλων σφαλμάτων καθώς και η ύπαρξη μη ελεγχόμενων/παρατηρούμενων γραμμών διευθύνσεων και γραμμών δεδομένων σε ενσωματωμένες μνήμες, έχουν θέσει επιπλέον περιορισμούς στις συμβατικές τεχνικές ελέγχου. Αυτά τα ζητήματα καθιστούν το BIST ολοένα και πιο ελκυστικό από σχεδιαστική και κατασκευαστική άποψη.

20 Οι You και Hayes στο IEEE J. of Solid State 1985, πρότειναν μία δομή BIST που αναδιαμορφώνει τη διάταξη μνήμης σ' έναν κυκλικό καταχωρητή ολίσθησης προκειμένου να τον ελέγξει. Αυτή η αναδιαμόρφωση επιτυγχάνεται μέσω της ενσωμάτωσης τρανζίστορ διέλευσης 30 στις στήλες της μνήμης όπως φαίνεται στο ΣΧ. 3. Επιπλέον, δίδεται κατάλληλη σχεδίαση για τη λειτουργία ολίσθησης

25 χρησιμοποιώντας τροποποιημένους ενισχυτές σήματος 31. Με τον τρόπο αυτό μία λειτουργία ανάγνωσης ακολουθείται από μία λειτουργία εγγραφής προκειμένου να μεταφέρονται τα δεδομένα ελέγχου μεταξύ γειτονικών κυψελών στη διάταξη μνήμης.

Οι Nadeau-Dostie et al. στην Πατέντα ΗΠΑ #4969148 11/1990, παρουσίασαν μία κατασκευή BIST για ενσωματωμένες μνήμες με δομή ανάγνωσης/εγγραφής λέξης. Αυτή η δομή, όπως δίδεται στο ΣΧ. 4, χρησιμοποιεί μία γραμμή σειριακής εισαγωγής δεδομένων 40 ώστε να καταστεί δυνατή η εφαρμογή των δεδομένων ελέγχου στη διάταξη μνήμης και μία γραμμή σειριακής εξαγωγής δεδομένων 41 για να παρατηρηθεί η απόκριση της μνήμης στον έλεγχο. Ένας καταχωρητής ολίσθησης χρησιμοποιείται για την μετατροπή των λειτουργιών εγγραφής από σειριακές σε παράλληλες και για την μετατροπή των λειτουργιών ανάγνωσης από παράλληλες σε σειριακές. Ως καταχωρητής ολίσθησης διαμορφώνονται τα υπάρχοντα latch στις εξόδους των ενισχυτών σήματος 42 με την κατάλληλη προσθήκη ενός συνόλου από πολυπλέκτες 43.

Οι Mazumder και Patel στο IEEE Trans. on Computers 1989, πρότειναν μία αρχιτεκτονική για παράλληλο έλεγχο των RAMs. Αυτή η αρχιτεκτονική απεικονίζεται στο γενικό σχεδιάγραμμα του ΣΧ. 5. Σύμφωνα με το σχέδιο αυτό, ο αποκωδικοποιητής στήλης 50 τροποποιείται για να επιλέγει πολλαπλές στήλες 51 κατά τη διάρκεια του ελέγχου. Έτσι, μπορούν να εκτελεστούν πολλαπλές λειτουργίες εγγραφής και ανάγνωσης. Περαιτέρω, δίδεται ένας παράλληλος συγκριτής 52 που καθορίζει το κατά πόσο το περιεχόμενο όλων των κυψελών πολλαπλής προσπέλασης είναι είτε 0 είτε 1.

20

## ΛΕΠΤΟΜΕΡΗΣ ΠΕΡΙΓΡΑΦΗ

### **I. Η ενσωματωμένη δομή αυτοελέγχου (BIST)**

Η τυποποιημένη διαμόρφωση των RAMs μαζί με την προτεινόμενη κυκλωμάτωση BIST παρουσιάζεται στο γενικό σχεδιάγραμμα του ΣΧ. 6. Σημειώστε ότι στα σχέδια που αναφερόμαστε στο εξής, οι συνιστώσες που δίδονται πέραν του τυποποιημένου σχεδίου είναι σκιασμένες ενώ οι τροποποιημένες συνιστώσες του τυποποιημένου σχεδίου είναι διάστικτες. Η RAM αποτελείται από τη διάταξη μνήμης κυψελών 60, τους οδηγούς διεύθυνσης γραμμής 61 και τον

αποκωδικοποιητή γραμμής 62, τους οδηγούς διεύθυνσης στήλης 63 και τον αποκωδικοποιητή στήλης 64 καθώς και τους ενισχυτές σήματος (SA) με τους οδηγούς εγγραφής (WB) 65 (κύκλωμα ανάγνωσης/εγγραφής). Το κύκλωμα BIST αποτελείται από τον Ελεγκτή BIST 66, τη μονάδα Παραγωγής Ακολουθίας Δεδομένων Ελέγχου (TPG) 67, έναν καταχωρητή RWR 68 (καταχωρητής ανάγνωσης/εγγραφής), έναν πολυπλέκτη (MUX) 69, μία συσκευή σύγκρισης (COMP) 70 και προαιρετικά έναν Ενσωματωμένο Αισθητήρα Ρεύματος (BICS) 71.

Στο ΣΧ. 7 δίδονται τα σήματα που σχετίζονται με τον Ελεγκτή BIST 72. Αυτός λαμβάνει από το εξωτερικό περιβάλλον το σήμα ενεργοποίησης της λειτουργίας ελέγχου Test\_Mode 73 και επίσης ένα σήμα ωρολογίου Test\_CLK 74 για να υποστηρίξει αυτή τη λειτουργία. Προαιρετικά υπάρχει ένα σήμα Test\_RST 75 που μηδενίζει όλους τους καταχωρητές κυκλώματος BIST κατά τη φάση αρχικοποίησης. Ο ελεγκτής 72 παρέχει στο εξωτερικό περιβάλλον το σήμα End\_Test 76 για να δείξει το τέλος της λειτουργίας ελέγχου και το σήμα Test\_RSL 77 για να κοινοποιήσει το αποτέλεσμα του ελέγχου (επιτυχής/ανεπιτυχής). Περαιτέρω ο ελεγκτής 72 παρέχει τα σήματα διεύθυνσης T\_Address 78 στη διάταξη μνήμης κατά τη λειτουργία ελέγχου και επανακατευθύνει το MUX 69 του ΣΧ. 6 με το σήμα Test\_Mode. Επίσης παρέχει το σήμα Load\_RWR 79 προκειμένου να φορτωθούν οι ακολουθίες των δεδομένων ελέγχου, που παράγονται από τη μονάδα TPG 67 του ΣΧ. 6, στον καταχωρητή RWR 68. Προαιρετικά, το σήμα BICS\_Enb 80 μπορεί να είναι διαθέσιμο για την ενεργοποίηση του αισθητήρα BICS 71. Τέλος, ο ελεγκτής λαμβάνει τα σήματα ένδειξης λάθους Err\_Ind-1 81 από τη συσκευή σύγκρισης (COMP) 70 και προαιρετικά το Err\_Ind-2 82 από τον αισθητήρα BICS 71.

Ο καταχωρητής RWR 68 του ΣΧ. 6, είναι καταρχήν ένας καταχωρητής παράλληλης εισόδου, παράλληλης εξόδου με εξόδους τριών καταστάσεων. Κάθε κυψέλη του RWR τροφοδοτεί έναν οδηγό εγγραφής (WB) του κυκλώματος ανάγνωσης/εγγραφής 65 και τροφοδοτείται από τον αντίστοιχο ενισχυτή σήματος (SA).

Ένα σήμα Test\_Mode 73 ενεργοποιεί το κύκλωμα BIST στην αρχή ενός ελέγχου μνήμης. Προαιρετικά το σήμα Test\_RST 74 μπορεί να χρησιμοποιηθεί για να μηδενίσει τους καταχωρητές BIST. Κατόπιν η μονάδα TPG ξεκινά την παραγωγή δεδομένων ελέγχου για τη RAM.

5 Η προτεινόμενη δομή BIST ελέγχου μίας RAM σε διαδοχικές συνόδους ελέγχου. Κατά τη διάρκεια κάθε συνόδου ελέγχου υπάρχει μία φάση εγγραφής όπου τα δεδομένα του ελέγχου γράφονται στις κυψέλες μνήμης και μία φάση ανάγνωσης όπου τα αποθηκευμένα δεδομένα ανακτώνται από τις κυψέλες μνήμης και συγκρίνονται έναντι των αναμενόμενων (αρχικών) δεδομένων.

10 Σε μία φάση εγγραφής τα δεδομένα ελέγχου που παράγονται από τη μονάδα TPG 67 στο ΣΧ. 6, φορτώνονται σειριακά ή παράλληλα στον καταχωρητή RWR 68. Στην πρώτη περίπτωση ο RWR κατασκευάζεται ώστε να είναι επίσης ένας καταχωρητής ολίσθησης σειριακής εισόδου-σειριακής εξόδου. Τα δεδομένα ελέγχου του RWR σχηματίζουν ένα διάνυσμα δεδομένων ελέγχου. Κατόπιν  
 15 εκτελείται μία λειτουργία εγγραφής μνήμης και τα δεδομένα ελέγχου του RWR εγγράφονται σε συγκεκριμένες κυψέλες μίας γραμμής παράλληλα. Προφανώς, οι γραμμές που θα πρέπει να τροφοδοτηθούν με τις ίδιες ακολουθίες δεδομένων ελέγχου σχηματίζουν μία ομάδα και μπορούν να εγγραφούν σε αλληλουχία. Κατόπιν ένα νέο διάνυσμα φορτώνεται στον RWR και εγγράφεται στην επόμενη  
 20 ομάδα από γραμμές και ούτω καθ' εξής μέχρι που τα κατάλληλα δεδομένα ελέγχου εγγράφονται σ' έναν προκαθορισμένο αριθμό γραμμών (που μπορεί να είναι όλες).

Σε μία φάση ανάγνωσης εκτελούνται λειτουργίες ανάγνωσης στις γραμμές της διάταξης μνήμης. Σε κάθε λειτουργία ανάγνωσης τα δεδομένα στην έξοδο κάθε ενισχυτή σήματος (SA) του κυκλώματος ανάγνωσης/εγγραφής 65 καταχωρούνται  
 25 στην αντίστοιχη κυψέλη του RWR 68. Τα ανακτημένα δεδομένα χρησιμοποιούνται για να προσδιορίσουν κατά πόσον υπάρχει σφάλμα στη διάταξη μνήμης 60, στο κύκλωμα αποκωδικοποίησης διεύθυνσης 61, 62, 63, 64, καθώς και στο κύκλωμα ανάγνωσης/εγγραφής 65.



- Η αναγνώριση ενός σφάλματος από τα ανακτημένα δεδομένα επιτυγχάνεται με τη χρήση του συγκριτή COMP 70, στο ΣΧ. 6, ο οποίος συγκρίνει τα ανακτημένα δεδομένα με τα αρχικά δεδομένα ελέγχου που παρέχονται από τη μονάδα TPG 67. Τυχόν λάθος στις δύο αυτές ακολουθίες δεδομένων ενεργοποιεί το σήμα ένδειξης
- 5 λάθους Err\_Ind-1 80, που κοινοποιεί την αναγνώριση ενός σφάλματος στον Ελεγκτή BIST 66. Προαιρετικά, ο αισθητήρας BICS 71 μπορεί να χρησιμοποιηθεί ως ένας ενδείκτης λάθους. Στην περίπτωση αυτή μία από τις γραμμές παροχής ισχύος ( $V_{dd}$  ή  $V_{ss}$ ) εκείνων των ομάδων από ενισχυτές σήματος οι οποίοι αναμένεται να δώσουν την ίδια τιμή κατά τη λειτουργία ανάγνωσης ή εκείνων των
- 10 ομάδων κυψέλων στον καταχωρητή RWR που αναμένεται να αποθηκεύσουν την ίδια τιμή μετά από μία λειτουργία ανάγνωσης, συνδέονται στο BICS, ενώ οι έξοδοι αυτών των κυκλωματικών στοιχείων βραχυκυκλώνονται. Σε οποιαδήποτε από αυτές τις δύο περιπτώσεις μία λανθασμένη, λόγω σφάλματος, τιμή ανάγνωσης (που διαφέρει ως προς την αναμενόμενη) θα προκαλέσει μία σημαντική αύξηση του
- 15 ρεύματος ήρεμίας από την τροφοδοσία. Αυτό θα ενεργοποιήσει τον αισθητήρα BICS και το σήμα Err\_Ind-2 θα δηλώσει στον Ελεγκτή BIST την αναγνώριση του σφάλματος. Βραχυκυκλώματα μεταξύ των κατάλληλων εξόδων κυκλωματικών στοιχείων κατά τον έλεγχο μπορούν να επιτευχθούν με τροποποιήσεις στη δομή του αποκωδικοποιητή στήλης.
- 20 Στην περίπτωση που αναγνωριστεί ένα σφάλμα, ένα σήμα ένδειξης σφάλματος υποδηλώνει τη ύπαρξή του προς τον έξω κόσμο διαμέσου της γραμμής Test\_RSL.

## Π. Αλγόριθμος ελέγχου για την αξιοποίηση της προτεινόμενης δομής BIST

- 25 Στο κεφάλαιο αυτό παρουσιάζουμε νέους αλγορίθμους ελέγχου που αξιοποιούν την προτεινόμενη στο προηγούμενο κεφάλαιο αρχιτεκτονική BIST προκειμένου να ελέγξουν μία RAM, λαμβάνοντας κυρίως υπόψη το μοντέλο σφαλμάτων 5-NPSF (διαγραμμισμένη γειτονική περιοχή 5 κυψελίδων) και τη

μέθοδο διάταξης σε κελιά Τύπου-1. Αυτοί οι αλγόριθμοι όχι μόνο αναγνωρίζουν αλλά επίσης εντοπίζουν όλα τα σφάλματα APSNPSF, τα σφάλματα μόνιμης τιμής και μετάβασης στη διάταξη μνήμης, καθώς και τα απλά σφάλματα μόνιμης τιμής στο κύκλωμα αποκωδικοποίησης διεύθυνσης (αποκωδικοποιητές και οδηγοί καταχωρητές διεύθυνσης γραμμής/στήλης) και στο κύκλωμα ανάγνωσης/εγγραφής. Για να επιτευχθεί αυτό το κύκλωμα BIST οργανώνεται όπως δίδεται στο ΣΧ. 8. Ο καταχωρητής RWR 100 κατασκευάζεται ως ένας καταχωρητής ολίσθησης σειριακής/παράλληλης εισόδου σειριακής/παράλληλης εξόδου, που αποτελείται από b κυψέλες, όπου το b είναι ο αριθμός των στηλών (bit lines - BL). Κάθε κυψέλη του καταχωρητή οδηγεί έναν οδηγό εγγραφής (WB) 101 και τροφοδοτείται μέσω ενός ενισχυτή σήματος (SA) 102 του κυκλώματος ανάγνωσης/εγγραφής 103. Η μονάδα TPG 104 είναι μία γεννήτρια ακολουθίας δεδομένων 5-bit. Κάθε ακολουθία της TPG φορτώνεται παράλληλα μ' έναν καταχωρητή ολίσθησης SR 105 ανατροφοδότησης σειριακής/παράλληλης εισόδου σειριακής/παράλληλης εξόδου 5-bit. Τα δεδομένα του SR μπορούν να ανακυκλώνονται από τη σειριακή εξοδό του προς τη σειριακή είσοδό του.

Στο ΣΧ. 9 δίδεται μία πιο λεπτομερής περιγραφή του Ελεγκτή BIST 114. Τα σήματα που αναλύονται στο ΣΧ. 7 υπάρχουν επίσης με την ίδια λειτουργικότητα ενώ μερικά ακόμη σήματα έχουν προστεθεί και εξυπηρετούν διάφορες επιπρόσθετες λειτουργίες. Αρχικά, το σήμα Scan\_Mode 115 χρησιμοποιείται για να εισαχθεί η λειτουργία ανίχνευσης προκειμένου να είναι διαθέσιμες προς τον έξω κόσμο οι απαραίτητες πληροφορίες ελέγχου διαμέσου μίας διαδικασίας σειριακής εξόδου (scan-out). Το σήμα Scan\_CLK 116 παρέχει το σήμα ωρολογίου για τη στήριξη αυτής της λειτουργίας. Περαιτέρω, το σήμα R/W 118 ελέγχει τη ροή σάρωσης προς τα έξω των πληροφοριών ελέγχου όπως θα αναπτύξουμε αργότερα ενώ τα σήματα C\_Test 117 χρησιμοποιούνται προαιρετικά για τον έλεγχο του Αποκωδικοποιητή Στήλης κατά τη διάρκεια του ελέγχου. Τέλος, ο Ελεγκτής BIST παρέχει τα σήματα Controls 119, για να ρυθμίζει τη λειτουργία της μνήμης κατά τη διάρκεια του ελέγχου.

Ο προτεινόμενος αλγόριθμος ελέγχου ελέγχει μία RAM σε διαδοχικές συνόδους ελέγχου. Κατά τη διάρκεια κάθε συνόδου ελέγχου υπάρχει μία φάση εγγραφής όπου όλες οι κυψέλες μνήμης εγγράφονται με συγκεκριμένα δεδομένα ελέγχου και μία φάση ανάγνωσης που ακολουθεί όπου κάθε γραμμή μνήμης αναγιγνώσκεται προκειμένου να ανακτηθούν τα αποθηκευμένα δεδομένα και να συγκριθούν έναντι των αρχικών. Το διάγραμμα ροής του αλγορίθμου δίδεται στο ΣΧ. 10.

Σύμφωνα με το μοντέλο σφαλμάτων 5-NPSF, τη μέθοδο διάταξης σε κελιά Τύπου-1 και το ΣΧ. 1 είναι εμφανές ότι το ίδιο διάνυσμα ελέγχου εφαρμόζεται κατά τη διάρκεια μίας συνόδου σ' έναν αριθμό από γραμμές, για παράδειγμα πρώτη, πέμπτη, ....., κλπ γραμμή. Περαιτέρω, κάθε γραμμή εγγράφεται με την επανάληψη ενός απλού διανύσματος. Η πρώτη γραμμή για παράδειγμα εγγράφεται με την επανάληψη του διανύσματος 34012. Η δεύτερη γραμμή εγγράφεται με την επανάληψη του διανύσματος 01234 και ούτω καθ' εξής. Σημειώστε εδώ ότι κάθε γραμμή είναι μία οριζοντίως ολισθημένη έκδοση της πρώτης γραμμής.

Σε μία φάση εγγραφής εγγράφονται κατάλληλα δεδομένα ελέγχου σε όλες τις κυψέλες μίας γραμμής παράλληλα. Αυτό επιτυγχάνεται χρησιμοποιώντας τον καταχωρητή ολίσθησης RWR 100 για την αποθήκευση του αντίστοιχου διανύσματος ελέγχου. Κάθε κυψέλη του RWR τροφοδοτεί τον οδηγό εγγραφής (WB) 101 μίας στήλης και τροφοδοτείται από τον αντίστοιχο ενισχυτή σήματος (SA) 102. Σύμφωνα με το ΣΧ. 10(c), η φάση εγγραφής μίας συνόδου ελέγχου ξεκινά με μία διαδικασία ολίσθησης για τη σειριακή εισαγωγή του διανύσματος ελέγχου στον RWR. Κατόπιν εκτελείται μία λειτουργία εγγραφής μνήμης, έτσι ώστε το διάνυσμα ελέγχου να μετεγγραφεί από τον RWR στις κυψέλες μίας συγκεκριμένης γραμμής. Προφανώς, οι γραμμές που θα έπρεπε να τροφοδοτηθούν με τα ίδια διανύσματα ελέγχου σχηματίζουν μία ομάδα και μπορούν να εγγραφούν σε αλληλουχία. Κατόπιν το διάνυσμα στον RWR ολισθαίνει κατά μία θέση και το νέο διάνυσμα εγγράφεται στην επόμενη ομάδα γραμμών και ούτω καθεξής μέχρι που να εγγραφούν τα κατάλληλα δεδομένα ελέγχου σε όλες τις κυψέλες μνήμης.

Έτσι, κατά τη διάρκεια της φάσης εγγραφής χρειάζεται μόνο να προσδιοριστεί στον αποκωδικοποιητή γραμμής η διεύθυνση γραμμής και συνεπώς ο αποκωδικοποιητής στήλης είναι ανενεργός.

Κατά τη φάση ανάγνωσης εκτελείται μία λειτουργία ανάγνωσης μνήμης σε  
 5 κάθε γραμμή της διάταξης μνήμης. Τα δεδομένα στην έξοδο κάθε ενισχυτή σήματος (SA) καταχωρούνται στην αντίστοιχη κυψέλη του RWR. Για μία ακόμη φορά ο αποκωδικοποιητής στήλης είναι ανενεργός. Τα ανακτημένα δεδομένα χρησιμοποιούνται για να προσδιοριστεί κατά πόσον υπάρχει σφάλμα στη διάταξη μνήμης ή στο κύκλωμα αποκωδικοποίησης διεύθυνσης. Στην περίπτωση που  
 10 ανιχνευθεί ένα σφάλμα, καθίσταται διαθέσιμο ένα σήμα ένδειξης σφάλματος προς τον έξω κόσμο διαμέσου της γραμμής Test\_RSL του Ελεγκτή BIST. Προαιρετικά, σ' αυτή την περίπτωση μπορεί επίσης να ενεργοποιηθεί ένας μηχανισμός εντοπισμού σφάλματος. Έτσι, μετά από την αναγνώριση της ύπαρξης εσφαλμένης λειτουργίας στη RAM, η αντίστοιχη διεύθυνση, το χρησιμοποιούμενο διάνυσμα  
 15 ελέγχου και προαιρετικά άλλες χρήσιμες πληροφορίες από τα σήματα ελέγχου αποθηκεύονται σ' έναν καταχωρητή σάρωσης (RSCAN). Αυτές οι πληροφορίες μπορούν να χρησιμοποιηθούν από ένα κύκλωμα Ενσωματωμένης Αυτο-Αποκατάστασης (BISR) προκειμένου ν' αντικατασταθεί το τμήμα που λειτουργεί εσφαλμένα. Περαιτέρω, για σκοπούς αποκατάστασης ή για λόγους ανάλυσης των  
 20 μηχανισμών πρόκλησης ελαττωμάτων και βλαβών, τα περιεχόμενα του RSCAN μπορούν να ολισθήσουν προς το εξωτερικό περιβάλλον διαμέσου της γραμμής Scan\_Out υπό τον έλεγχο του σήματος Scan\_CLK.

Με περισσότερες λεπτομέρειες, όπως έχουμε αναφέρει η μονάδα TPG παράγει διανύσματα ελέγχου για τη RAM. Αυτά τα διανύσματα ελέγχου αποτελούν  
 25 ακολουθίες των 5-bit. Υπάρχει ένα σύνολο 160 διανυσμάτων ελέγχου για το υπό μελέτη μοντέλο 5-NPSF, τα οποία σχηματίζουν μία Eulerian ακολουθία και έτσι υπάρχει ένα σύνολο από 160 συνόδους ελέγχου.

Την εξαγωγή ενός διανύσματος ελέγχου ακολουθεί μία φάση εγγραφής. Το διάνυσμα ελέγχου φορτώνεται παράλληλα στον καταχωρητή SR 105 και σχηματίζει

το ενεργό διάνυσμα ελέγχου. Κατόπιν το ενεργό διάνυσμα ελέγχου ολισθαίνει έξω από το SR και μέσα στο RWR 100. Αυτή η διαδικασία απαιτεί  $b$  ολισθήσεις για να πληρωθεί ο RWR με  $b/5$  αντίγραφα του διανύσματος ελέγχου των 5-bit, όπου  $b$  είναι ο αριθμός των στηλών της μνήμης. Το διάνυσμα που σχηματίζεται στον RWR ονομάζεται διάνυσμα ελέγχου στήλης. Τώρα υπάρχουν δύο μέθοδοι για να πληρωθεί η διάταξη μνήμης με τα κατάλληλα δεδομένα ελέγχου χρησιμοποιώντας το διάνυσμα στήλης στον RWR. Σύμφωνα με την πρώτη, ο Ελεγκτής BIST παράγει διαδοχικά τις κατάλληλες διευθύνσεις γραμμής όπου θα πρέπει να εγγραφεί η ακολουθία δεδομένων του RWR και ενεργοποιεί τα κατάλληλα σήματα ελέγχου για να εκτελεστούν οι λειτουργίες εγγραφής. Όλες αυτές οι διευθύνσεις έχουν μεταξύ τους απόσταση ίση με 5 και οι αντίστοιχες γραμμές σχηματίζουν μία ομάδα με αριθμό στοιχείων  $w/5$ , όπου  $w$  είναι ο αριθμός των γραμμών (word lines - WL). Στο σημείο αυτό τα περιεχόμενα του RWR ολισθαίνουν κατά μία θέση και το νέο διάνυσμα στήλης που σχηματίζεται εγγράφεται σε μία άλλη ομάδα από  $w/5$  γραμμές. Υπάρχει ένα σύνολο από πέντε ομάδες γραμμών, δεδομένου ότι το ενεργό διάνυσμα ελέγχου έχει 5-bits, και έτσι η παραπάνω λειτουργία εκτελείται τρεις ακόμη φορές (ένα σύνολο από πέντε λειτουργίες ολίσθησης και ομαδικής εγγραφής) μέχρι που η διάταξη μνήμης πληρώνεται με δεδομένα ελέγχου. Λαμβάνοντας υπόψη τη δεύτερη μέθοδο, το αρχικό διάνυσμα στήλης του RWR εγγράφεται στις κυψέλες της πρώτης γραμμής. Κατόπιν ο RWR ολισθαίνει κατά δύο θέσεις και το νέο διάνυσμα στήλης εγγράφεται στη δεύτερη γραμμή και ούτω καθ' εξής μέχρι που πληρώνεται η διάταξη μνήμης. Αυτή η μέθοδος απαιτεί ένα σύνολο από  $w$  ολισθήσεις και εγγραφές. Χρησιμοποιώντας οποιαδήποτε από τις παραπάνω μεθόδους η διάταξη μνήμης διατάσσεται σε κελιά με το ίδιο μοτίβο μη επικαλυπτόμενων περιοχών.

Κατόπιν ακολουθεί η φάση ανάγνωσης. Αυτή τη φορά ο Ελεγκτής BIST παράγει διαδοχικά τις κατάλληλες διευθύνσεις γραμμής και σήματα ελέγχου για να εκτελεστεί ένα σύνολο από  $w$  λειτουργίες ανάγνωσης έτσι ώστε τα δεδομένα που έχουν αποθηκευθεί στις κυψέλες κάθε γραμμής να ανακτηθούν στο RWR. Μετά

από μία λειτουργία ανάγνωσης τα δεδομένα στο RWR χρησιμοποιούνται για να προσδιοριστεί εάν υπάρχει ένα σφάλμα στη διάταξη μνήμης ή στο κύκλωμα αποκωδικοποίησης γραμμής (Οδηγοί Καταχωρητές Διεύθυνσης Γραμμής 106 και Αποκωδικοποιητές Γραμμής 107). Ένα λάθος στα αναμενόμενα δεδομένα που ανακτώνται στο RWR δηλώνει την ύπαρξη ενός σφάλματος.

Προτείνονται στην εφεύρεση αυτή δύο ενδεχόμενοι τρόποι για την αναγνώριση ενός λάθους στα δεδομένα του RWR. Ο πρώτος είναι να ολισθήσουν προς τα έξω τα δεδομένα από το RWR και να συγκριθεί κάθε δυαδικό ψηφίο με το αντίστοιχο δυαδικό ψηφίο του αρχικού διανύσματος ελέγχου που διατηρείται στο SR 105 χρησιμοποιώντας μία πύλη XOR 108 (ίδετε ΣΧ. 8). Αυτή η διαδικασία μπορεί να επιτευχθεί μέσω ολίσθησης των SR και RWR παράλληλα και απαιτεί ένα σύνολο από  $b$  λειτουργίες ολίσθησης και σύγκρισης. Ένα ενδεχόμενο λάθος ενεργοποιεί το Err\_Ind-1 σήμα. Εάν η σύγκριση δηλώνει πάντα ένα λάθος στην ίδια θέση δυαδικού ψηφίου του SR τότε το σφάλμα εντοπίζεται στο κύκλωμα αποκωδικοποίησης γραμμής. Το διάγραμμα ροής αυτής της λειτουργίας παρουσιάζεται στο ΣΧ. 10(d).

Μία δεύτερη μέθοδος είναι να χρησιμοποιηθεί ένας Ενσωματωμένος Αισθητήρας Ρεύματος (BICS) 109 στη γραμμή τροφοδοσίας  $V_{DD}(V_{SS})$  του RWR. Αυτός ο αισθητήρας μπορεί ν' αναγνωρίσει οποιοδήποτε υπερβολικό ρεύμα στην κατάσταση ηρεμίας του κυκλώματος. Στον έλεγχο και κατά τη διάρκεια μίας λειτουργίας ανάγνωσης, τα δεδομένα μίας γραμμής ανακτώνται στο RWR. Λαμβάνοντας υπόψη το διάνυσμα στήλης που εγγράφεται στις κυψέλες κάθε γραμμής στη φάση εγγραφής, είναι προφανές ότι όλες οι κυψέλες  $j$  του RWR με  $(j \bmod 5) = m$  αναμένεται να έχουν τις ίδιες τιμές, όπου  $m \in [1, 5]$ . Έτσι, μετά από μία λειτουργία ανάγνωσης ο Αποκωδικοποιητής Στήλης 110 ενεργοποιεί καθεμία από αυτές τις ομάδες κυψελών του RWR να οδηγήσουν τη γραμμή Data I/O. Αυτή η λειτουργία απαιτεί την τροποποίηση του Αποκωδικοποιητή Στήλης και την κατάλληλη ενεργοποίηση των σημάτων ρύθμισης C-Test από τον Ελεγκτή BIST. Κατόπιν ο αισθητήρας ενεργοποιείται με το σήμα BICS\_Enb. Σε περίπτωση όπου



- μία ή περισσότερες κυψέλες έχουν διαφορετική τιμή από τις υπόλοιπες της ομάδας, τότε δημιουργείται ένα αγωγίμο μονοπάτι ανάμεσα στις δύο παροχές τροφοδοσίας (από  $V_{DD}$  έως  $V_{SS}$ ) και καταναλώνεται ένα απροσδόκητα μεγάλο ποσό ρεύματος. Το BICS μπορεί ν' αναγνωρίσει το ρεύμα αυτό και ενεργοποιεί το σήμα Err\_Ind-2
- 5 το οποίο δηλώνει την παρουσία ενός λάθους στα ανακτημένα δεδομένα και συνεπώς την παρουσία ενός σφάλματος στη διάταξη μνήμης. Τώρα, σε περίπτωση που δεν υπάρχει λάθος στα δεδομένα του RWR, εκτελείται μία λειτουργία ολίσθησης προς τα έξω προκειμένου να συγκριθεί μία και μόνη ακολουθία 5-bit του RWR με το ενεργό διάνυσμα ελέγχου στο SR. Αυτό το στάδιο απαιτείται για να
- 10 διασφαλιστεί ότι δεν υπάρχει κανένα σφάλμα μόνιμης τιμής στο κύκλωμα αποκωδικοποίησης γραμμής. Εάν οι δύο αυτές ακολουθίες δεδομένων διαφέρουν τότε έχει αναγνωριστεί ένα σφάλμα στο κύκλωμα αποκωδικοποίησης γραμμής. Το διάγραμμα ροής της δεύτερης μεθόδου αναγνώρισης λάθους δίδεται στο ΣΧ. 10(e).

Οι παραπάνω μέθοδοι αναγνώρισης λάθους παρέχουν πλήρη κάλυψη απλού

- 15 σφάλματος μόνιμης τιμής για το κύκλωμα αποκωδικοποίησης γραμμής, δεδομένου ότι υπό την παρουσία τέτοιων σφαλμάτων ενεργοποιείται πάντα μία λανθασμένη γραμμή η οποία αποθηκεύει ένα διαφορετικό διάνυσμα από το ορθό. Αυτό αληθεύει λαμβάνοντας υπόψη το τρόπο με τον οποίο εγγράφονται τα δεδομένα ελέγχου στις γραμμές της μνήμης.
- 20 Οποτεδήποτε αναγνωριστεί ένα λάθος, λόγω σφάλματος στη διάταξη μνήμης, μπορούν να δοθούν προς το εξωτερικό περιβάλλον πληροφορίες για τον εντοπισμό της αντίστοιχης κυψέλης που λειτουργεί εσφαλμένα χρησιμοποιώντας την ακόλουθη τεχνική. Τα δεδομένα του RWR ολισθαίνουν προς τα έξω και συγκρίνονται, με τη χρήση μίας πύλης XOR 108, με τα αντίστοιχα δυαδικά ψηφία
- 25 του SR. Σημειώστε ότι αυτή η λειτουργία ολίσθησης είναι ήδη τμήμα των προαναφερθέντων μεθόδων αναγνώρισης λάθους. Ένας μετρητής  $\log_2 b$  δυαδικών ψηφίων (μετρητής ολισθήσεων - SOC) χρησιμοποιείται για τη μέτρηση του αριθμού των ολισθήσεων μέχρι ότου εντοπιστεί ένα λάθος. Σε αυτή την περίπτωση, η πύλη XOR ενεργοποιεί το σήμα ένδειξης λάθους Err\_Ind-1 και η λειτουργία ολίσθησης

τερματίζεται. Προφανώς, η τρέχουσα τιμή του SOC προσδιορίζει τη διεύθυνση στήλης της κυψέλης που λειτουργεί εσφαλμένα στη διάταξη μνήμης. Η διεύθυνση γραμμής αυτής της κυψέλης είναι η τρέχουσα διεύθυνση που συγκρατείται στον Οδηγό Καταχωρητή Διεύθυνσης Γραμμής 106. Τώρα σε περίπτωση που υπάρχει σφάλμα στο κύκλωμα αποκωδικοποίησης γραμμής, η διεύθυνση που συγκρατείται στον Οδηγό Καταχωρητή Διεύθυνσης Γραμμής είναι επαρκής για τον εντοπισμό του.

Το επόμενο στάδιο είναι ν' αναγνωριστούν και να εντοπιστούν τα ενδεχόμενα απλά σφάλματα μόνιμης τιμής στο κύκλωμα αποκωδικοποίησης στήλης (Οδηγός Καταχωρητής Διεύθυνσης Στήλης 111 και Αποκωδικοποιητής Στήλης 110). Η διαδικασία είναι ως ακολούθως. Τα πέντε διανύσματα ελέγχου του Πίνακα 1 φορτώνονται διαδοχικά στο SR. Σημειώστε ότι αυτά τα διανύσματα έχουν μόνο ένα δυαδικό ψηφίο με τη λογική τιμή '1', και η θέση αυτού του δυαδικού ψηφίου σημειώνεται ως q. Για καθένα από αυτά λαμβάνει χώρα μία λειτουργία ολίσθησης προκειμένου να πληρωθεί ο RWR όπως στις προηγούμενες περιπτώσεις. Κατόπιν εκτελείται μία λειτουργία εγγραφής σε μία κυρίαρχα επλωμένη γραμμή. Η λειτουργία εγγραφής ακολουθείται από μία λειτουργία ανάγνωσης, σ' αυτή τη συγκεκριμένη γραμμή προκειμένου ν' ανακτηθούν τα αποθηκευμένα δεδομένα και να επανεγγραφούν στον RWR. Κατόπιν ο Αποκωδικοποιητής Στήλης τροφοδοτείται με τις κατάλληλες διευθύνσεις έτσι ώστε όλες οι κυψέλες RWRj του καταχωρητή ολίσθησης RWR, με  $(j \bmod 5) = q$ , να διαβαστούν η μία μετά την άλλη στη γραμμή Data\_I/O. Μία μηδενική τιμή στη γραμμή Data\_I/O δηλώνει την παρουσία ενός σφάλματος μόνιμης τιμής στο κύκλωμα αποκωδικοποίησης στήλης. Δεδομένου ότι η διεύθυνση στήλης είναι γνωστή (αυτή που συγκρατείται στον Οδηγό Καταχωρητή Διεύθυνσης Στήλης 111) το σφάλμα εντοπίζεται. Το διάγραμμα ροής του αλγορίθμου ελέγχου του κυκλώματος αποκωδικοποίησης στήλης δίδεται στο ΣΧ. 10(f).

Ένας καταχωρητής σάρωσης (scan register) RSCAN σχεδιάζεται προκειμένου ν' αποθηκεύσει τις κατάλληλες πληροφορίες που μπορούν να χρησιμοποιηθούν για



τον εντοπισμό ενός σφάλματος. Αυτός ο καταχωρητής 120 δομείται χρησιμοποιώντας τον καταχωρητή SR 121, το μετρητή SOC 122 και τον Οδηγό Καταχωρητή Διεύθυνσης Γραμμής 123 ή τον Οδηγό Καταχωρητή Διεύθυνσης Στήλης 124, σε μία αλυσίδα σάρωσης (scan chain), όπως παρουσιάζεται στο ΣΧ.

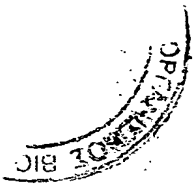
- 5 11. Σε περίπτωση που εντοπιστεί σφάλμα στη διάταξη μνήμης ή στο κύκλωμα αποκωδικοποίησης γραμμής, ο RSCAN μορφοποιείται ώστε να συμπεριλάβει τον Οδηγό Καταχωρητή Διεύθυνσης Γραμμής 123, αντί για τον Οδηγό Καταχωρητή Διεύθυνσης Στήλης 124, με τη χρήση του σήματος R/C που οδηγεί την επιλεγμένη είσοδο του πολυπλέκτη MUX 125. Άλλως, στην περίπτωση σφάλματος στο
- 10 κύκλωμα αποκωδικοποίησης στήλης, ο RSCAN μορφοποιείται ώστε να ενσωματώσει στην αλυσίδα τον Οδηγό Καταχωρητή Διεύθυνσης Στήλης 124. Περαιτέρω, ο RSCAN περιλαμβάνει επίσης έναν καταχωρητή 2-bit (GLR) 126, ο οποίος εγγράφεται από τον Ελεγκτή BIST και δηλώνει τη γενικά θέση ενός σφάλματος που ενδεχομένως αναγνωρίστηκε. Μία εφικτή δομή κωδικοποίησης για
- 15 τα περιεχόμενα του GLR θα μπορούσε να είναι η εξής: "00" για την περίπτωση χωρίς σφάλμα, "01" για ένα σφάλμα στο κύκλωμα αποκωδικοποίησης γραμμής, "10" για ένα σφάλμα στο κύκλωμα αποκωδικοποίησης στήλης, και "11" στην περίπτωση ενός σφάλματος στη διάταξη μνήμης.

### 20 **III. Σύνδεση του κυκλώματος BIST με το εξωτερικό περιβάλλον**

Υπάρχει σαφώς μεγάλη ανάγκη για τη μεταφορά των αποτελεσμάτων του ελέγχου και χρήσιμων πληροφοριών του ελέγχου από το εσωτερικό BIST κύκλωμα προς το εξωτερικό περιβάλλον κατά τη διάρκεια του ελέγχου, για σκοπούς αποκατάστασης μνήμης ή ανάλυσης ελαττωμάτων. Η επικοινωνία αυτών των δύο

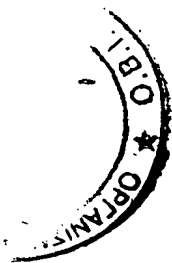
25 κόσμων μπορεί να επιτευχθεί ως ακολούθως.

Σύμφωνα με το ΣΧ. 9, το κύκλωμα BIST λαμβάνει από το εξωτερικό περιβάλλον ένα σήμα ενεργοποίησης Test\_Mode για να τεθεί στην αρχική κατάσταση ο Ελεγκτής BIST ώστε να εισέλθει αυτός σε λειτουργία ελέγχου και



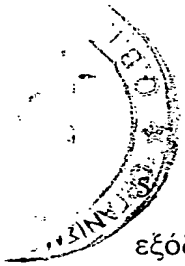
επίσης ένα σήμα Test\_CLK για τη στήριξη αυτής της λειτουργίας. Περαιτέρω ο  
 Ελεγκτής BIST επίσης λαμβάνει το σήμα ενεργοποίησης Scan\_Mode 116 για να  
 τεθεί στην αρχική κατάσταση η διαδικασία σάρωσης προς τα έξω προκειμένου να  
 μεταδοθούν τα δεδομένα ελέγχου διαμέσου μίας γραμμής Scan\_Out. Επιπλέον ένα  
 5 σήμα Scan\_CLK 115 παρέχει τα σήματα ωρολογίου για τις λειτουργίες σάρωσης.  
 Προαιρετικά υπάρχει ένα σήμα Test\_RST που μηδενίζει όλους τους καταχωρητές  
 κυκλώματος BIST κατά τη διάρκεια των φάσεων αρχικοποίησης. Τέλος, τα σήματα  
 End\_Test και Test\_RSL παρέχονται από τον Ελεγκτή BIST προς τον εξωτερικό  
 κόσμο για να δηλώσουν το τέλος της λειτουργίας ελέγχου καθώς και το  
 10 αποτέλεσμα του.

Μία άλλη προσέγγιση στην επικοινωνία του κυκλώματος BIST με το  
 εξωτερικό περιβάλλον είναι μέσω της χρήσης του ελεγκτή TAP με βάση το  
 πρότυπο IEEE 1149.1. Το κύκλωμα BIST λαμβάνει τα σήματα Test\_Mode,  
 Test\_CLK, Scan\_Mode, Scan\_CLK και Test\_RST από τον ελεγκτή TAP και εξάγει  
 15 τα σήματα End\_Test, Test\_RSL και Scan\_Out στη διασύνδεση TAP. Στις  
 περιπτώσεις λύσεων συστημάτων σε ένα ολοκληρωμένο (system-on-a-chip), όπου η  
 RAM είναι ενσωματωμένη με λογική, σ' ένα μονό ολοκληρωμένο, ο ελεγκτής TAP  
 μπορεί να εξυπηρετεί από κοινού και το BIST της μνήμης και το BIST της λογικής.



## ΑΞΙΩΣΕΙΣ

1. Ένας ενσωματωμένος καταχωρητής παράλληλης εισόδου - παράλληλης εξόδου, που χαρακτηρίζεται από το ότι:
  - 5 - είναι συνδεδεμένος άμεσα στο κύκλωμα ανάγνωσης/εγγραφής των στηλών μνήμης
  - χρησιμοποιείται για την εν παράλληλω ανάγνωση/εγγραφή δεδομένων ελέγχου από/προς τη διάταξη μνήμης, για χρήση στον έλεγχο των RAMs.
2. Ένας ενσωματωμένος καταχωρητής παράλληλης εισόδου - παράλληλης εξόδου σύμφωνα με την προηγούμενη αξίωση όπου, στην περίπτωση ενός αλγορίθμου ελέγχου που απαιτεί τα ίδια δεδομένα ελέγχου να εγγραφούν σε διάφορες κυψέλες μνήμης, τα εν λόγω δεδομένα φορτώνονται μόνο μία φορά στον καταχωρητή.
3. Ένας ενσωματωμένος καταχωρητής παράλληλης εισόδου - παράλληλης εξόδου σύμφωνα με τις προηγούμενες αξιώσεις που χαρακτηρίζεται από το ότι, ο καταχωρητής μπορεί προαιρετικά να υλοποιηθεί έτσι ώστε να είναι επιπλέον ένας καταχωρητής ολίσθησης σειριακής εισόδου - σειριακής εξόδου, όπου τα νέα δεδομένα ελέγχου μπορούν να δημιουργηθούν είτε μέσω ολίσθησης των τρεχόντων δεδομένων ελέγχου του καταχωρητή είτε με οποιοδήποτε άλλο γνωστό τρόπο, στην οποία περίπτωση, τα κατάλληλα δεδομένα ελέγχου ολισθαίνουν προς τα μέσα ή φορτώνονται σ' ένα περιορισμένο αριθμό στοιχείων μνήμης του καταχωρητή.
4. Ένας ενσωματωμένος καταχωρητής παράλληλης εισόδου - παράλληλης εξόδου σύμφωνα με τις προηγούμενες αξιώσεις όπου η απόκριση μνήμης σε έναν έλεγχο αποθηκεύεται στον ίδιο, όπου η επαλήθευση αυτής της απόκρισης μπορεί να επιτευχθεί μέσω ολίσθησης προς τα έξω των δεδομένων απόκρισης που έχουν ανακτηθεί στον καταχωρητή και μέσω σύγκρισης αυτών με τα αναμενόμενα δεδομένα.



Ενας ενσωματωμένος καταχωρητής παράλληλης εισόδου - παράλληλης εξόδου σύμφωνα με την προηγούμενη αξίωση όπου η επαλήθευση της απόκρισης μνήμης προς έναν έλεγχο επιταχύνεται μέσω παρακολούθησης του ρεύματος παροχής, μέσω ~~προ-σχηματισμού των ηλεκτρικών συνδέσεων~~ (βραχυκυκλώματα)

5 μεταξύ επιλεγμένων γραμμών απόκρισης, όπου στην περίπτωση που δεν υπάρχει σφάλμα έχουν την ίδια τιμή, ενώ στην περίπτωση σφάλματος μπορεί να παρουσιάσουν λανθασμένες τιμές απόκρισης, με αποτέλεσμα την ανίχνευση υπερβολικής κατανάλωσης ισχύος.

6. Ενας αλγόριθμος ελέγχου για χρήση σε συνδυασμό με τον καταχωρητή  
10 σύμφωνα με τις προηγούμενες αξιώσεις, που προορίζεται να χρησιμοποιηθεί για την αξιοποίηση της προτεινόμενης δομής BIST προκειμένου να αναγνωρίσει και να εντοπίσει όλα τα πιθανά σφάλματα γειτνίασης μοτίβου δεδομένων της μνήμης, τα σφάλματα μόνιμης τιμής και μετάβασης στη διάταξη μνήμης καθώς και όλα τα απλά σφάλματα μόνιμης τιμής στα κυκλώματα ανάγνωσης/εγγραφής και  
15 αποκωδικοποίησης διεύθυνσης.



**Πίνακας 1**

<b>Διανύσματα Ελέγχου για Ανίχνευση Σφαλμάτων Μόνιμης Τιμής στους Αποκωδικοποιητές Στήλης</b>	
	00001
	00010
	00100
	01000
	10000



*Γειτονικές Κυψέλες*

3	4	0	1	2	3	4	0
0	1	2	3	4	0	1	2
2	3	4	0	1	2	3	4
4	0	1	2	3	4	0	1
1	2	3	4	0	1	2	3
3	4	0	1	2	3	4	0
0	1	2	3	4	0	1	2
2	3	4	0	1	2	3	4

*Βασική Κυψέλη*

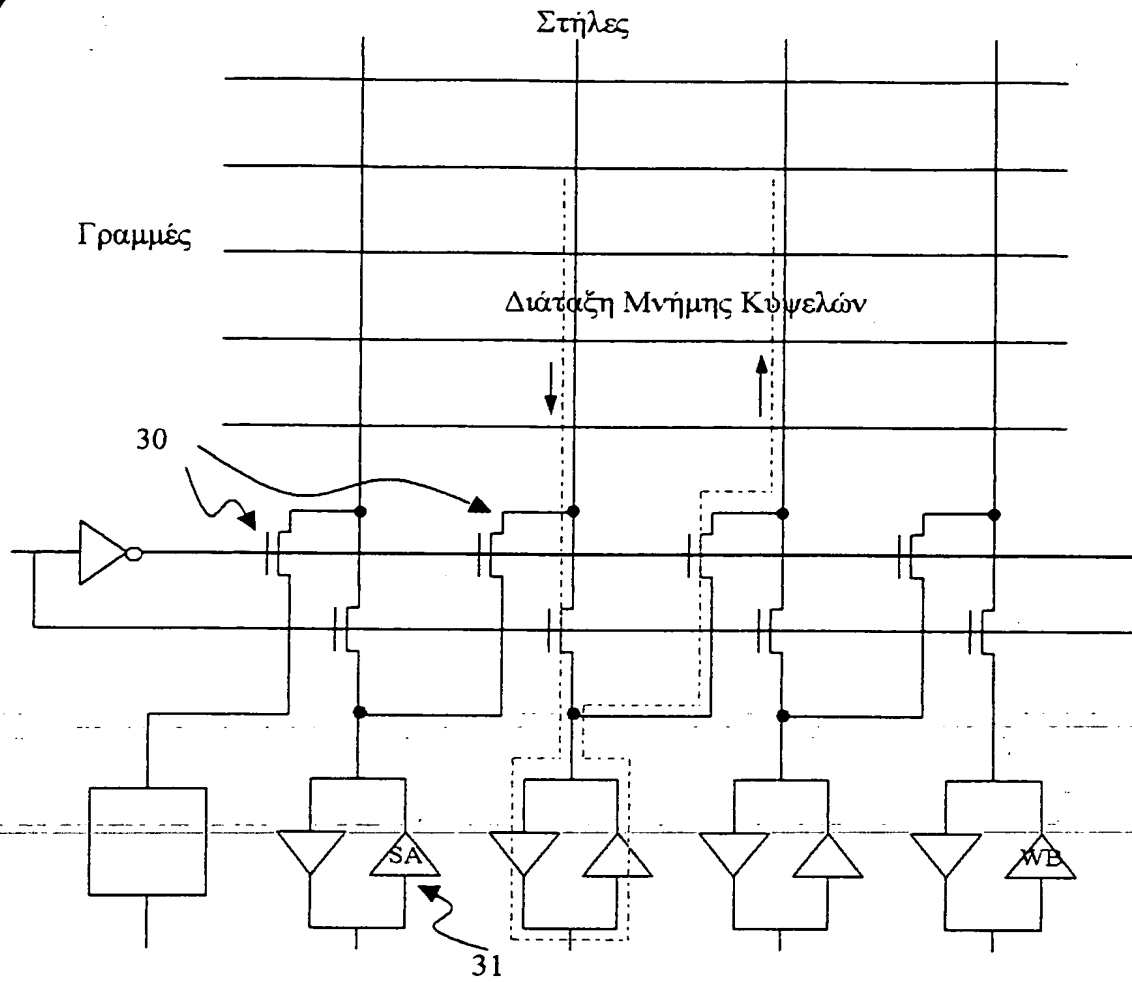
Σχήμα 1: Διάταξη σε κελιά Τύπου-1

*Γειτονικές Κυψέλες*

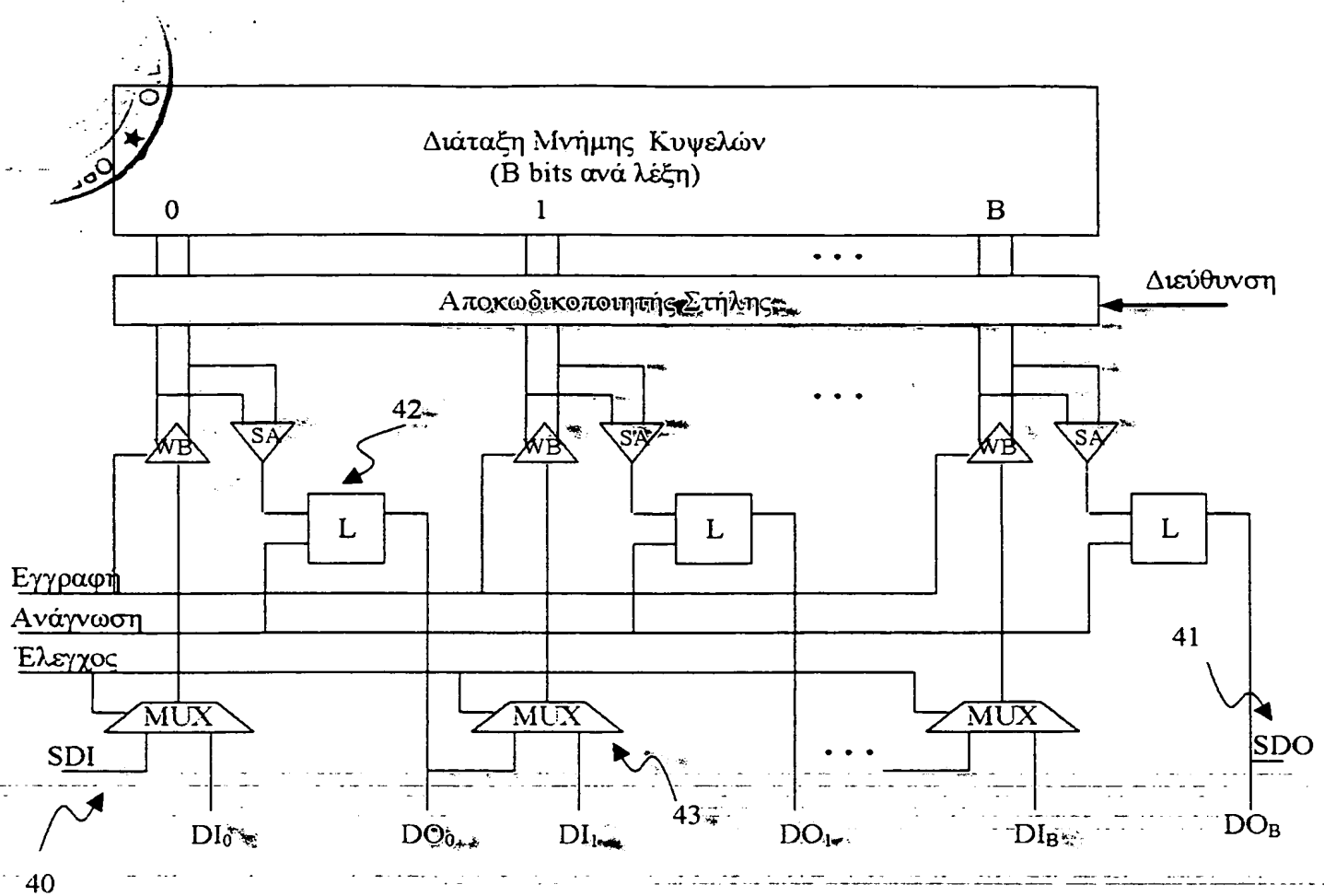
4	5	3	4	5	3	4	5
7	8	6	7	8	6	7	8
1	2	0	1	2	0	1	2
4	5	3	4	5	3	4	5
7	8	6	7	8	6	7	8
1	2	0	1	2	0	1	2
4	5	3	4	5	3	4	5
7	8	6	7	8	6	7	8

*Βασική Κυψέλη*

Σχήμα-2: Διάταξη σε κελιά Τύπου-2

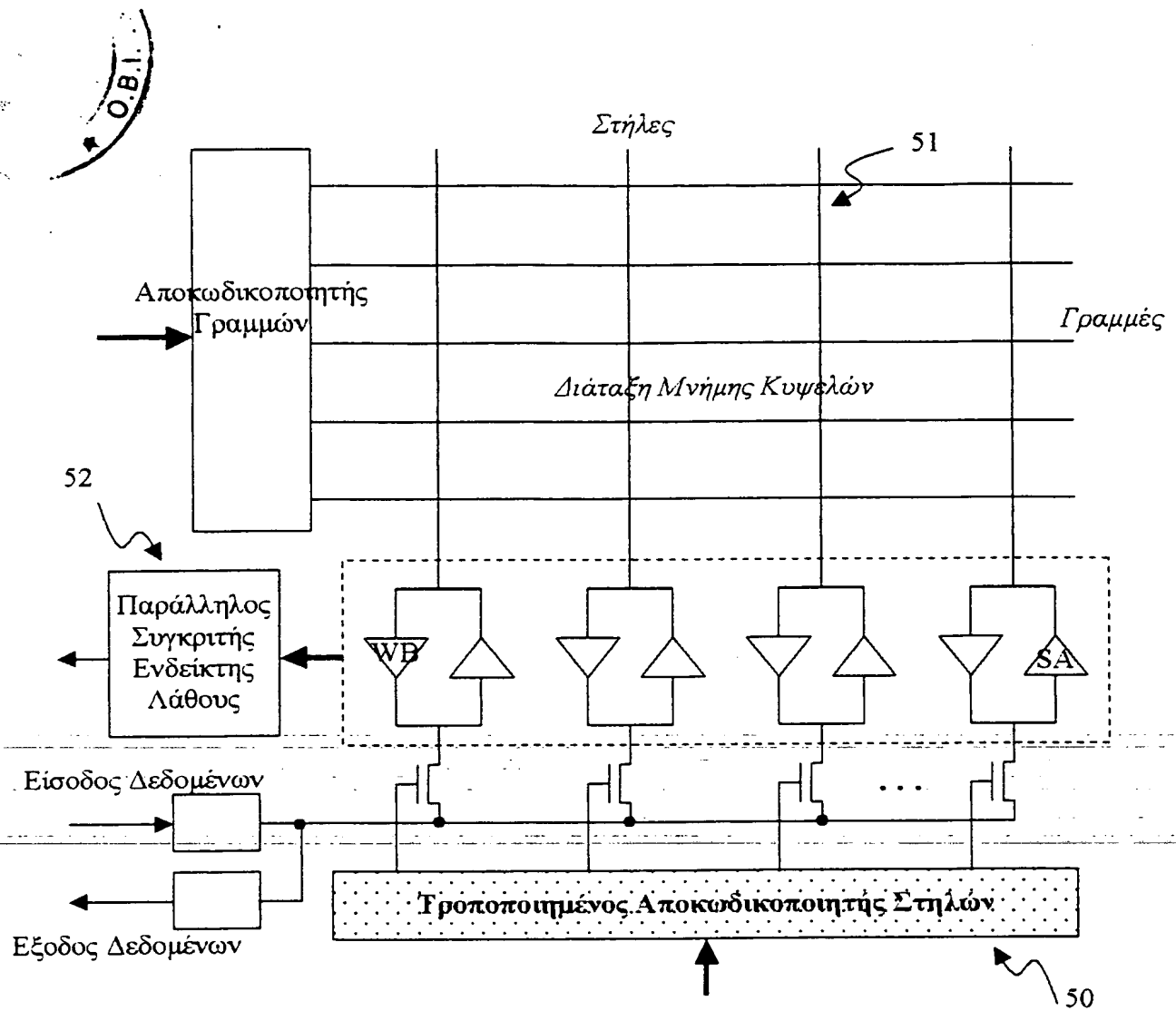


Σχήμα 3: Προγενέστερες Τεχνικές [You & Hayes]

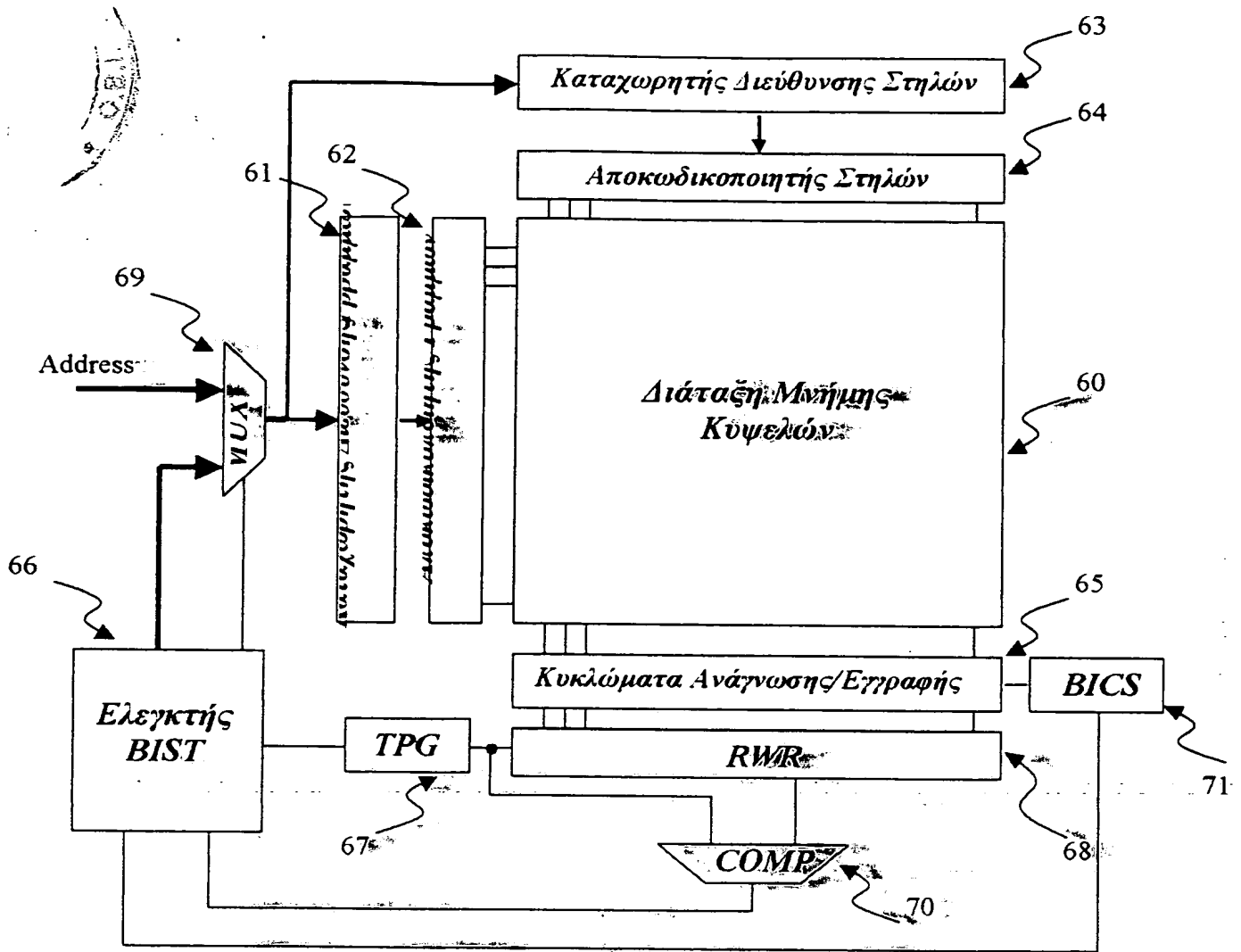


Σχήμα 4: Προγενέστερες τεχνικές [Nadeau-Dostie]

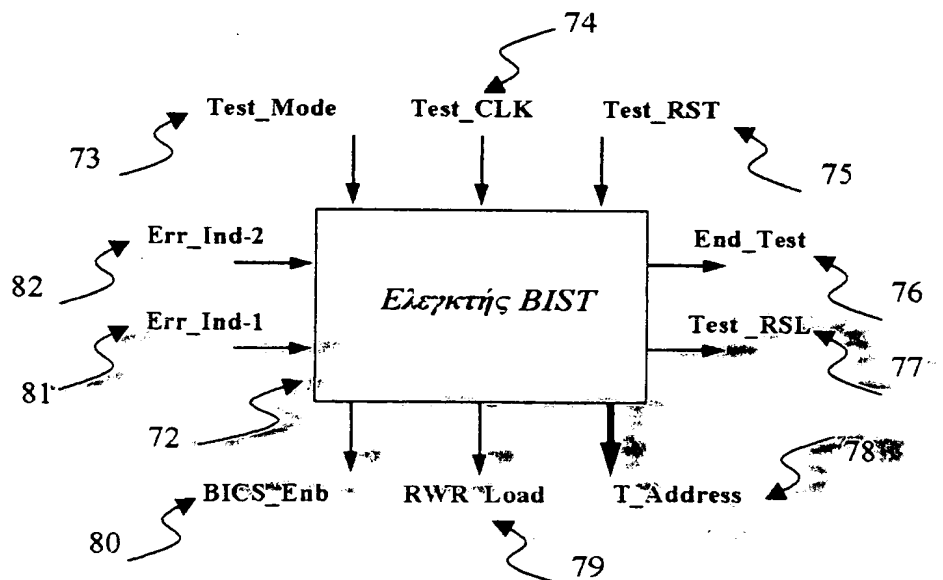




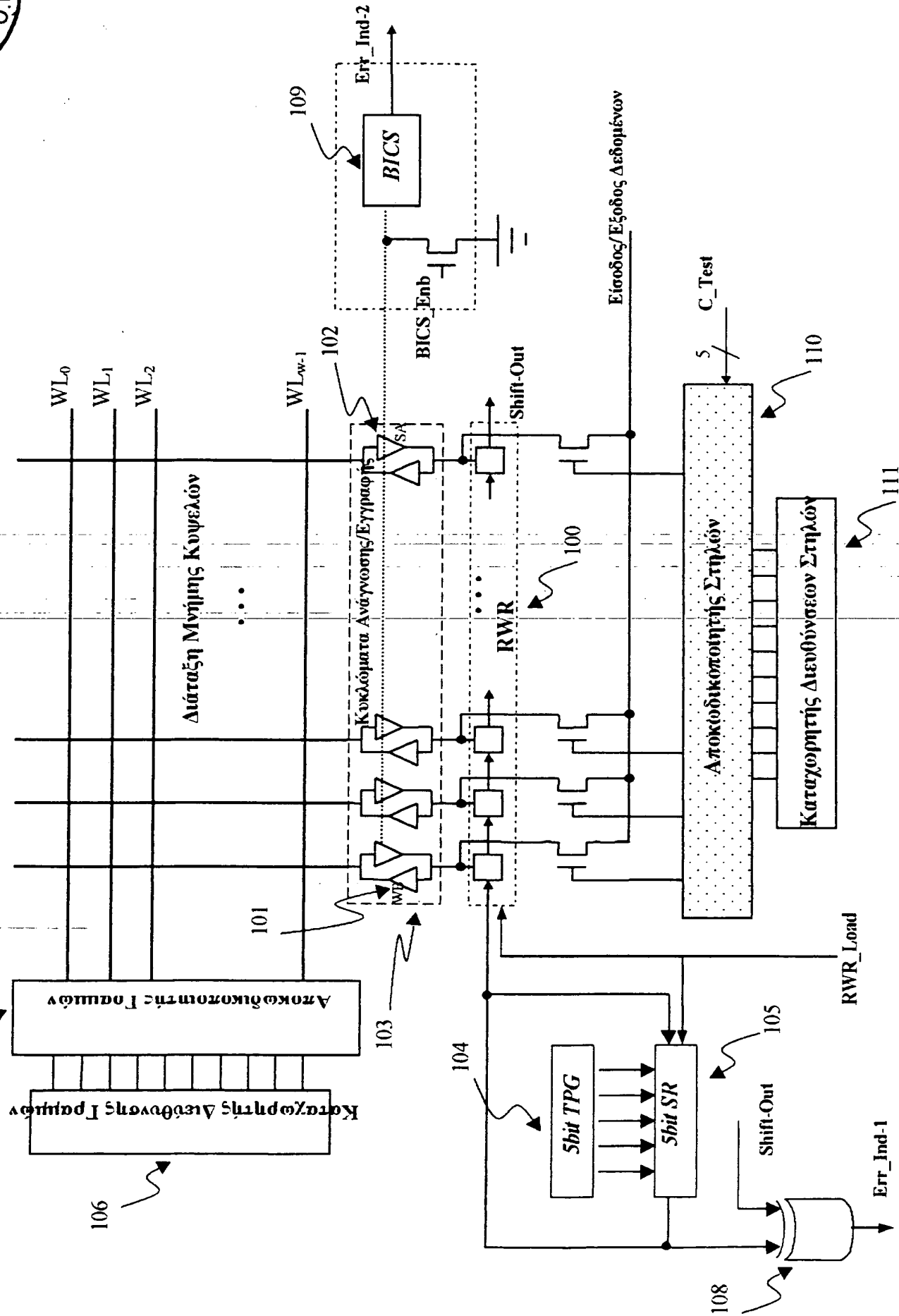
Σχήμα 5: Προγενέστερες Τεχνικές [Mazumder & Patel]



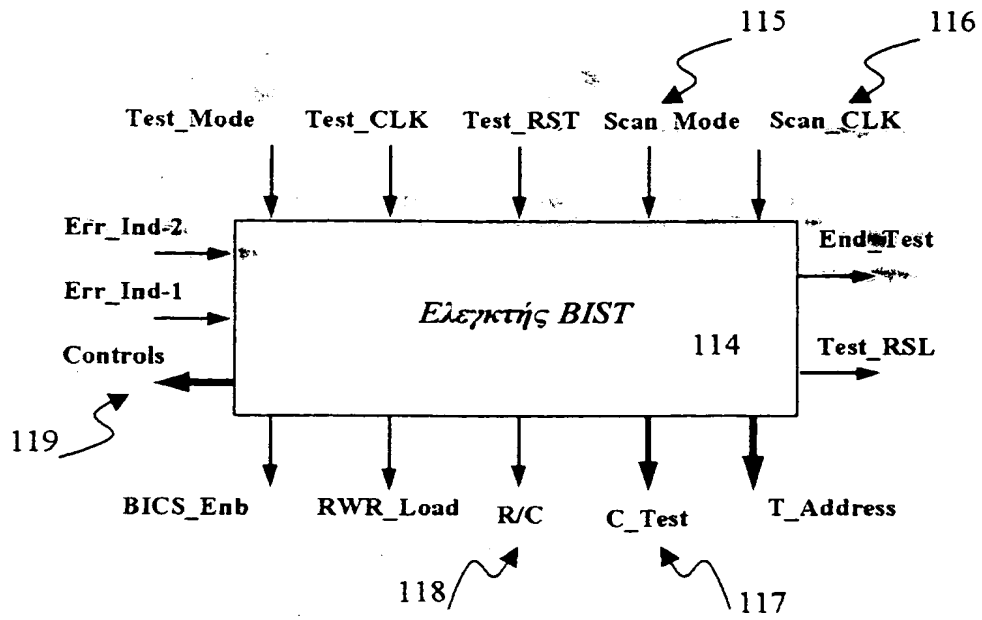
Σχήμα 6: Η προτεινόμενη BIST αρχιτεκτονική



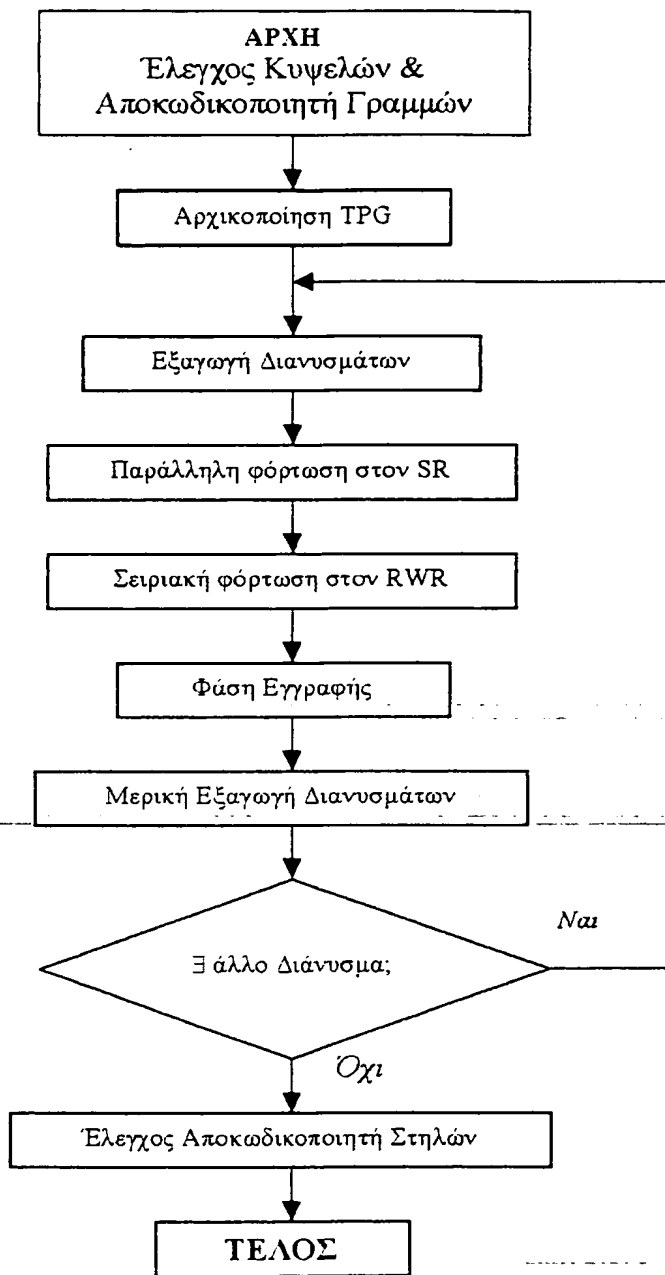
Σχήμα 7: Σήματα του BIST ελεγκτή



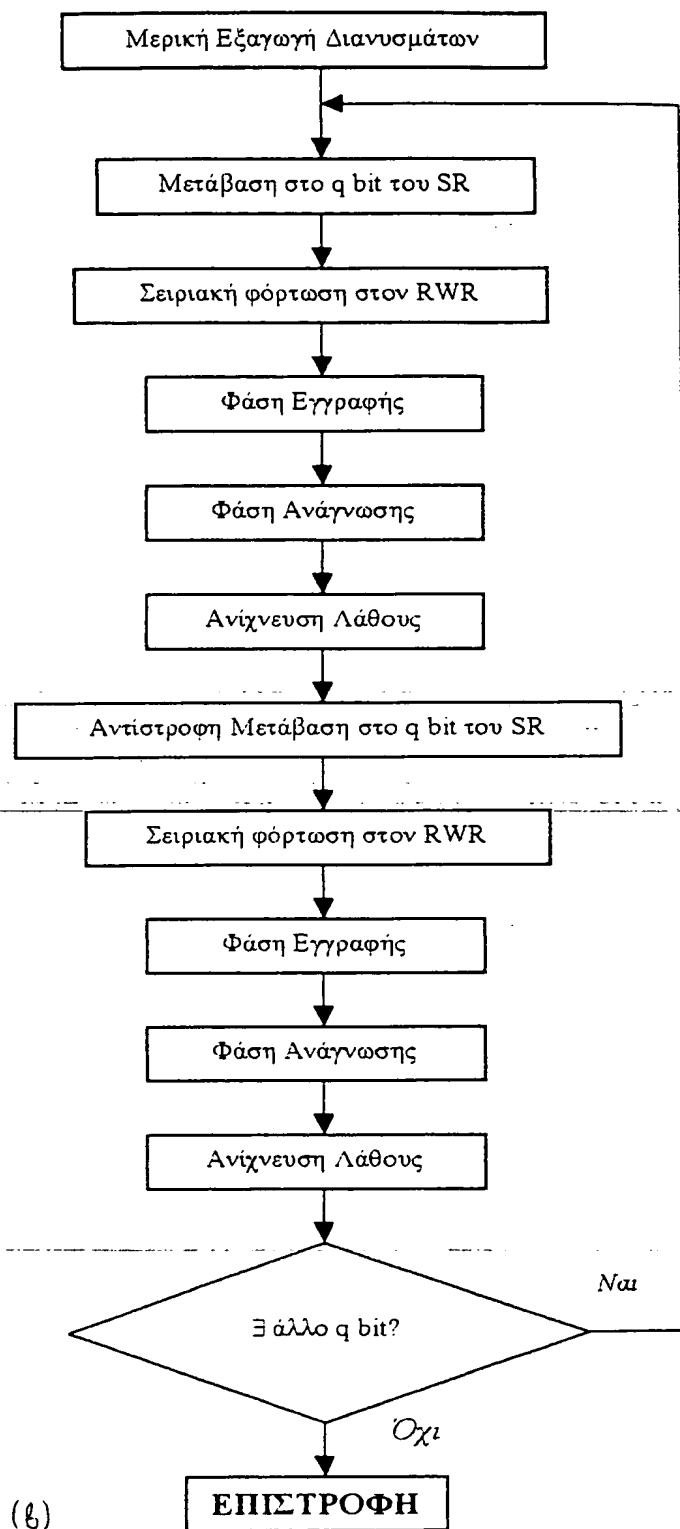
### Σχήμα 8: Η προτεινόμενη BIST κυκλωμάτωση



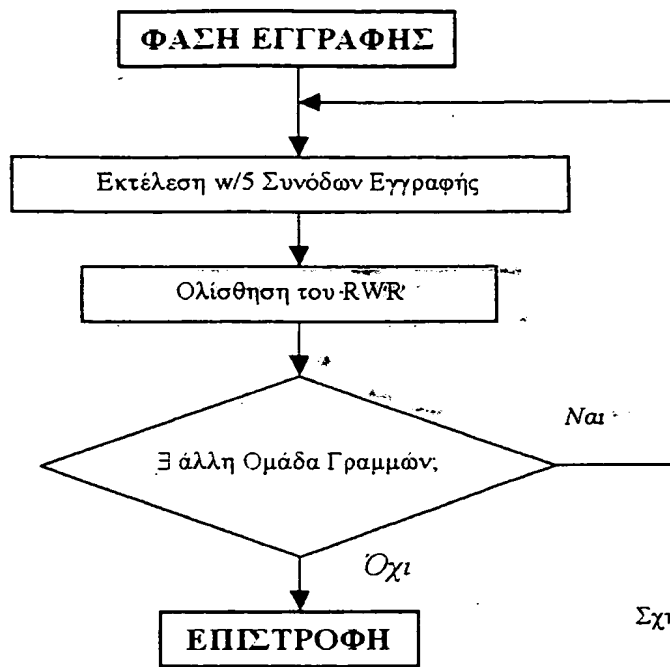
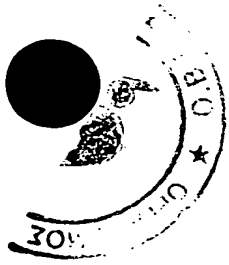
Σχήμα 9: Σήματα ελεγκτή BIST



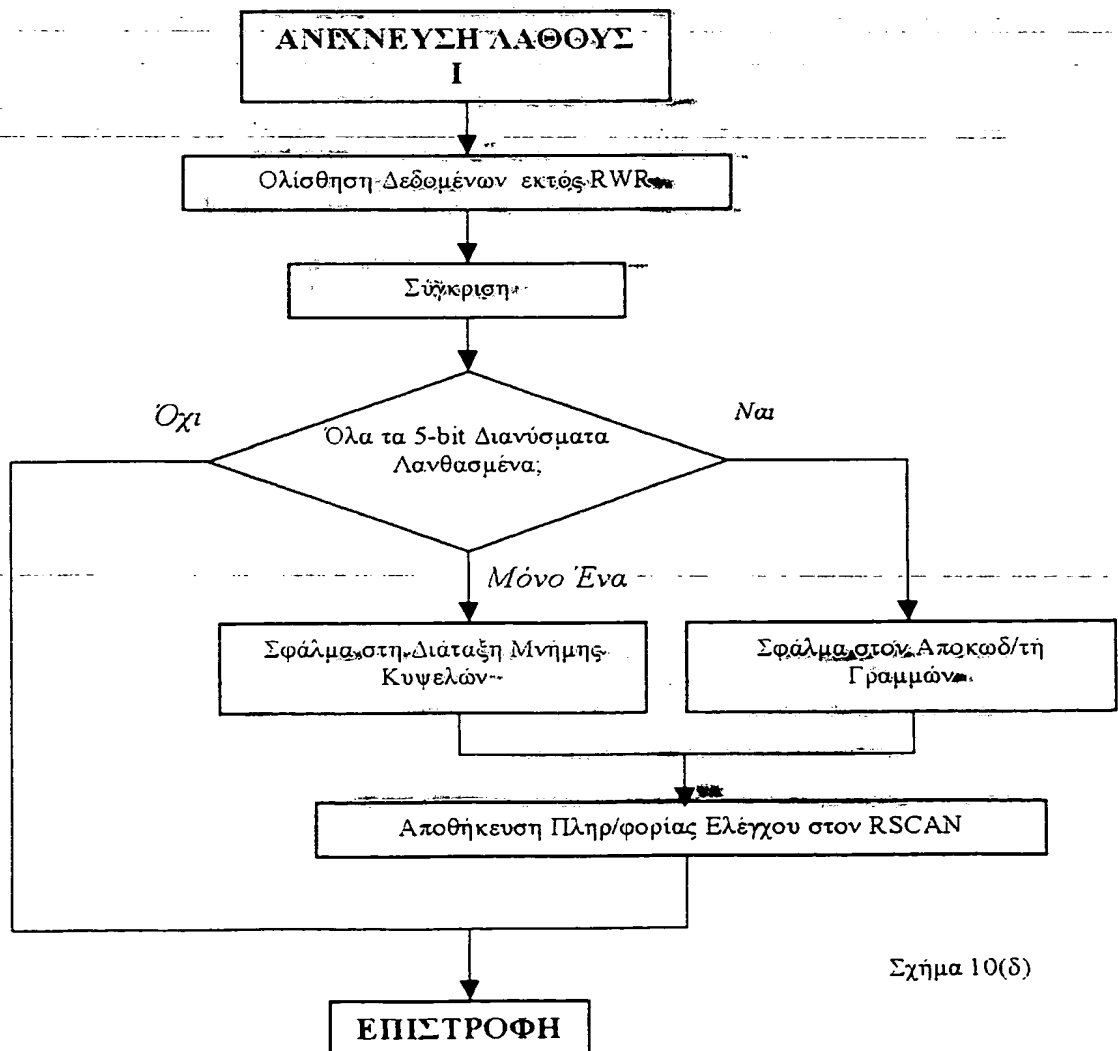
Σχήμα 10(α)



Σχήμα 10(β)



Σχήμα 10(γ)



Σχήμα 10(δ)

**ΑΝΙΧΝΕΥΣΗ ΛΑΘΟΥΣ  
II**

Αρχικοποίηση BICS

Ενεργοποίηση Ομάδας b/5 Κυψελών του RWR

Ενεργοποίηση BICS.  
Ξ Απόκριση;

Ναι

Σφάλμα στη Διάταξη Μνήμης Κυψελών

Όχι

Ολίσθηση εκτός ενός 5-bit Διανύσματος

Σύγκριση

Λανθασμένο Διάνυσμα;

Ναι

Σφάλμα Αποκωδ/τη Γραμμών

Όχι

Αποθήκευση Πληρ/φορίας Ελέγχου στον RSCAN

Ναι

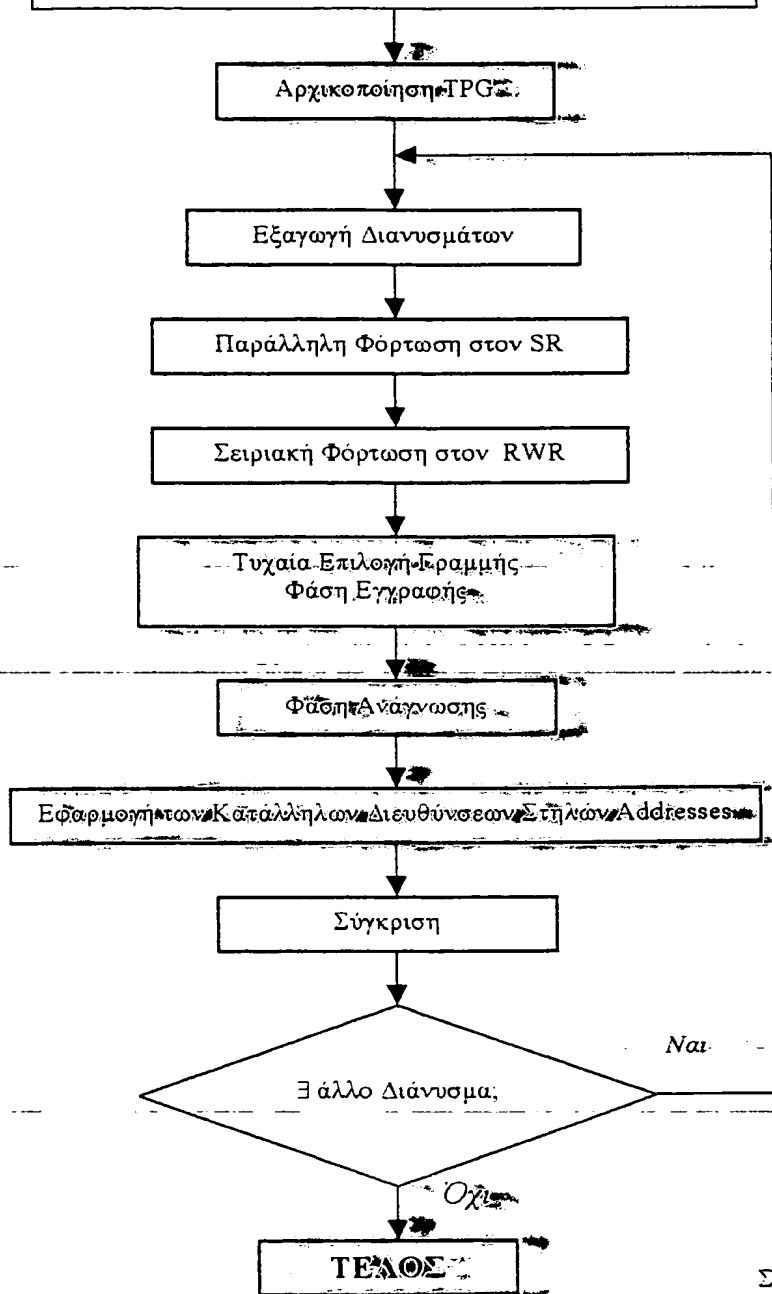
Ξ άλλη Ομάδα;

Όχι

**ΕΠΙΣΤΡΟΦΗ**

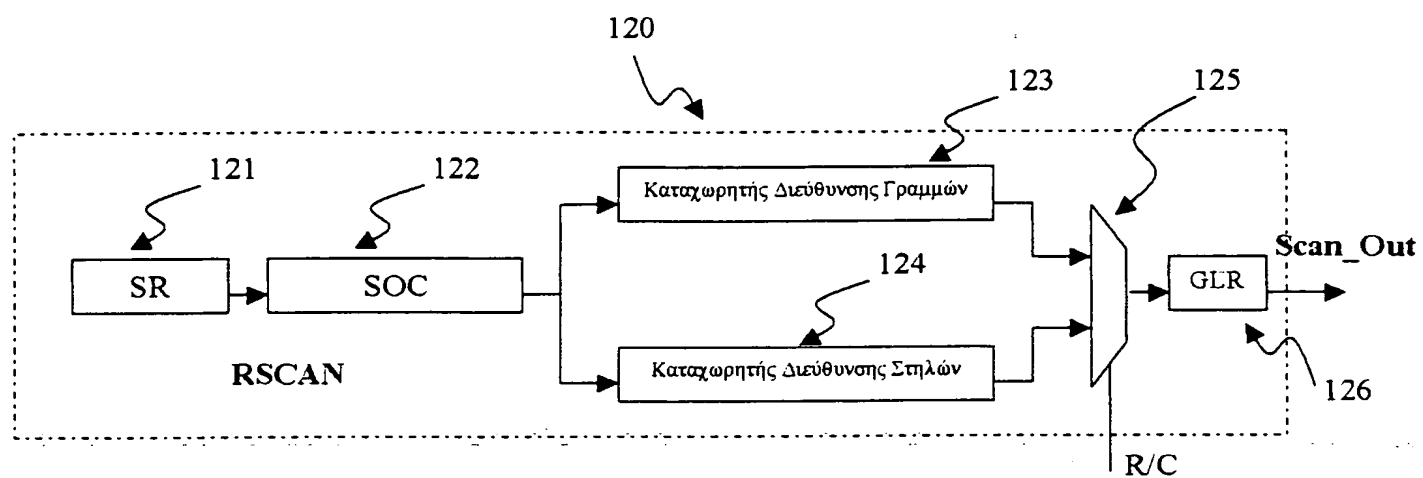
Σχήμα 10(ε)

# ΕΛΕΓΧΟΣ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗ ΣΤΗΛΩΝ



Σχήμα 10(στ)



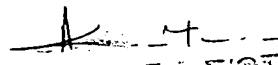


Σχήμα 11: Ο καταχωρητής σάρωσης-RSCAN

Ακριβής μετάφραση της συνημμένης περιγραφής από την αγγλική γλώσσα την οποία επικυρώνω σύμφωνα με τον νόμο.

Αθήνα, 22 Οκτωβρίου 1999

Η μεταφράσασα δικηγόρος

  
ΕΚΚΑΤΕΡΙΝΗ Γ. ΣΙΩΤΟΥ  
ΔΙΚΗΓΟΡΟΣ (Α.Μ. Δ.Σ.Α. 14155)  
ΖΑΤΜΗ 28 - ΑΘΗΝΑ 105 83 - ΤΗΛ. 822.121  
ΑΦΜ: 043580812 - 1Α' Δ.Ο.Υ. ΑΘΗΝΩΝ

